

Τ.Ε.Ι. ΠΑΤΡΑΣ

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

Αριθ. πτυχ. : 430

ΣΧΕΔΙΑΣΜΟΣ ΨΗΦΙΑΚΟΥ ΟΛΟΚΛΗΡΩΜΕΝΟΥ
ΚΥΚΛΩΜΑΤΟΣ ASIC

Εισηγητής :
Π. Αλεξόπουλος

Σπουδαστές :
Αγραφιώτη Άννα
Καρανίκας Ιωάννης

Πάτρα 1999



ΑΡΙΘΜ. ΕΙΣΑΓΩΓΗΣ	3222
---------------------	------

ΠΕΡΙΕΧΟΜΕΝΑ

1° ΚΕΦΑΛΑΙΟ		Σελ.
1.1	Ιστορική αναδρομή	1
1.2	Μέγεθος και πολυπλοκότητα Ολοκληρωμένων Κυκλωμάτων	3
1.3	Κατασκευή Ολοκληρωμένων Κυκλωμάτων IC	10
1.3.1	Προετοιμασία κρυστάλλου	12
1.3.2	Masking	13
1.3.3	Φωτολιθογραφία	13
1.3.4	Απόθεση	15
1.3.5	Εγχάραξη - Etching	15
1.3.6	Διάχυση - Diffusion	19
1.3.7	Αγωγοί και αντιστάσεις	20
1.3.8	Οξειδωση - Oxidation	22
1.3.9	Επίταξη - Epitaxi	23
1.4	Κατασκευή IC με CMOS	24
1.5	Προβλήματα κατά την κατασκευή	27
1.5.1	Μείωση Πλάτους - Μήκους	27
1.5.2	Πλευρική διάχυση Well (φρέατος)	30
1.5.3	Latch-up (Μανδάλωση)	30
1.5.4	Προστασία εισόδου (Input protection)	32
1.6	Συσκευασία και Δοκιμή των ICs	34
2° ΚΕΦΑΛΑΙΟ		
2.1	Σχεδίαση ASIC Κυκλωμάτων	36
2.1.1	Σχεδίαση με τυποποιημένα κύτταρα	37
2.1.2	Σχεδίαση μασκών σε επίπεδο ημιαγωγού	43
2.1.3	Σχεδίαση με HDL	43
2.2	Βασικές Τεχνικές σχεδίασης	44
2.3.	ASIC σχεδίαση με CAD tools	47
2.3.1	Εισαγωγή σχεδίασης	48
2.3.2	Εξομοίωση	49
	• κυκλώματος	50
	• χρονισμών	51
	• σε λογικό επίπεδο	52
	• σε επίπεδο διακοπών	54
	• μικτού τρόπου	55

2.3.3	Έλεγχος της σχεδίασης	55
	1. Επαληθευτές Χρονισμού	56
	2. Ισομορφισμός δικτύου	57
	3. Σύγκριση κομβικών καταλόγων	59
2.3.4	Φυσική σχεδίαση (layout)	60
	χωροθέτηση	61
2.3.5	Επαναπροσδιορισμός παραμέτρων σχεδίασης (Back Annotatin)	62
2.3.6	Επαλήθευση κανόνων σχεδίασης	63
	1. Ελεγκτής κανόνων σχεδίασης DRC	63
	2. Κανονισμοί σχεδίασης CMOS	64
2.3.7	Εξαγωγή φυσικού σχεδίου	70
2.3.8	Παραγωγή μασκών (Pattern Generation)	70
ΚΕΦΑΛΑΙΟ 3^ο		
3.1	Περιγραφή των Tanner Tools	73
	S-Edit	
3.1.1	NetTran	80
3.1.2	GateSim	85
3.1.3	L-Edit	88
	• L-Edit/SPR	91
	• L-Edit /Cross Section Viewer	94
	• L-Edit /DRC	96
	• L-Edit /Extract	99
3.1.4	LVS	100
3.2	Ιεραρχική Σχεδίαση με τα Tanner Tools	104
4^ο ΚΕΦΑΛΑΙΟ		
4.1	Περιγραφή της σχεδίασής μας	108
4.2	Η υλοποίηση της σχεδίασης	108
4.2.2	Μετατροπές στο περιβάλλον του NetTran	
	• για εξομίωση στο GateSim	113
	• για αυτόματη τοποθέτηση με L-Edit\SPR	114
	• για σύγκριση με LVS	115
4.3	Εξομίωση σε GateSim	115
4.4	Εργασίες στο L-Edit	
	A. Κατασκευή layout με SPR	119
	B. DRC	123
	Γ. Back Annotation	124

1^ο ΚΕΦΑΛΑΙΟ

1.1 ΙΣΤΟΡΙΚΗ ΑΝΑΔΡΟΜΗ

Η εμφάνιση των ολοκληρωμένων κυκλωμάτων πριν από 40 χρόνια σήμανε την έναυση μιας νέας τεχνολογική επανάστασης με πρωτοφανείς ρυθμούς εξέλιξης, που έφερε πολλές και μεγάλες αλλαγές στην καθημερινή μας ζωή.

Τα ολοκληρωμένα κυκλώματα κατασκευάζονται από ημιαγωγικά υλικά και χρησιμοποιούν σαν βασικό δομικό στοιχείο τα τρανζίστορ επίδρασης πεδίου γνωστά ως (MOS-FET). Οι ιδιότητες των ημιαγωγών υλικών ανακαλύπτονται κάπου στις αρχές του αιώνα μας. Το 1925 προτάθηκε η βασική ιδέα των τρανζίστορ επίδρασης πεδίου MOS (FET-MOS) από τον J. Lilienfeld. Το 1935 παρουσιάστηκε μια δομή που μοιάζει πάρα πολύ με τα σημερινά τρανζίστορ MOS από τον O. Heil. Την εποχή εκείνη όμως υπήρχαν πολλά προβλήματα που σχετιζόνταν με τα υλικά και οδήγησαν στην εγκατάλειψη των προσπαθειών για περαιτέρω έρευνα στον τομέα αυτό. Παρόλα αυτά, τα πειράματα με τα πρώτα τρανζίστορ επίδρασης πεδίου (FET) οδήγησαν αργότερα, μετά τον πόλεμο, στην επινόηση του τρανζίστορ διπολικής τεχνολογίας (BJT) που μας εισήγαγε στην νέα «ηλεκτρονική» εποχή.

Στα 1947-1948 τρεις ερευνητές των εργαστηρίων Bell - οι Brattin, Bardeen και Shockley - παρουσίασαν το τρανζίστορ διπολικής επαφής (BJT). Αυτή η εξέλιξη σημειώνει την αρχή της βιομηχανίας των μικροηλεκτρονικών. Για τα επόμενα 15 χρόνια πολλά διαφορετικά BJTs παράχθηκαν και χρησιμοποιήθηκαν σε ένα μεγάλο εύρος συστημάτων. Τα BJTs αντικατέστησαν τις λυχνίες κενού, που χρησιμοποιούνταν μέχρι

τότε, σε πολλές εφαρμογές και παρείχαν την ώθηση για ένα πλήθος καινούργιων ηλεκτρονικών συστημάτων.

Το καλοκαίρι του 1958 ο Jack Kilby, ένας μηχανικός της Texas Instruments επινόησε το πρώτο ολοκληρωμένο κύκλωμα. Στις αρχές του επόμενου χρόνου ο Robert Noyce από τη Fairchild παρουσίασε μια διάταξη που μοιάζει πάρα πολύ με τα ολοκληρωμένα κυκλώματα του σήμερα. Οι λεπτομέρειες στο κύκλωμα του Kilby είναι λίγο ασαφής, αλλά ο αντίκτυπος στην προσέγγιση του ήταν πρωτοφανής. Οι εργασίες του Kilby και του Noyce σημειώνουν την γέννηση ενός νέου τεχνολογικού τομέα που είναι γνωστό σήμερα ως τεχνολογία ολοκληρωμένων κυκλωμάτων (Integrated Circuits -IC technology).

Στις δεκαετίες που ακολούθησαν οι εξελίξεις υπήρξαν ραγδαίες. Με έναν πρωτοφανή ρυθμό στην ιστορία της τεχνολογίας αναπτύχθηκαν διάφορα υλικά και τεχνικές που καθιστούσαν την κατασκευή των ολοκληρωμένων ποιο εύκολη και αποδοτική. Τα πρώτα πρωτόγονα συστήματα σχεδίασης, που γινόταν από το χέρι του σχεδιαστή, εξελίχθηκαν σε πανίσχυρα υπολογιστικά εργαλεία σχεδίασης (cad tools) που εκτελούν αυτόματα τις περισσότερες εργασίες. Αποτέλεσμα όλης αυτής της γεωμετρικής προόδου είναι τα εξελιγμένα υπολογιστικά και ηλεκτρονικά συστήματα που χρησιμοποιούμε σήμερα και που θα χρησιμοποιήσουμε στο μέλλον μιας και δεν έχουν εξαντληθεί τα περιθώρια βελτίωσης τόσο στον τομέα της κατασκευής όσο και στον τομέα της σχεδίασης.

1.2. ΜΕΓΕΘΟΣ ΚΑΙ ΠΟΛΥΠΛΟΚΟΤΗΤΑ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ (IC)

Τα ολοκληρωμένα κυκλώματα έχουν πια τυποποιηθεί και ταξινομούνται σε διάφορες κατηγορίες ανάλογα με κάποια ιδιαίτερα χαρακτηριστικά τους πράγμα που κάνει πιο εύκολη την περιγραφή τους καθώς και την σύγκριση τους μεταξύ τους. Κάποια από αυτά τα χαρακτηριστικά μεγέθη είναι η πολυπλοκότητα του κάθε IC και οι διαστάσεις των στοιχείων που απαρτίζουν το κύκλωμα.

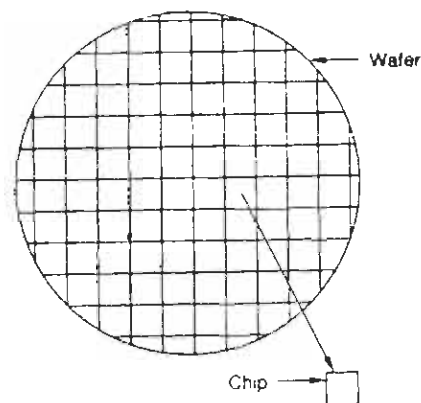
Η πολυπλοκότητα των κυκλωμάτων, είναι το χαρακτηριστικό εκείνο μέγεθος που προσδιορίζεται από τον αριθμό των ενεργών στοιχείων (FETs ή BJTs) που χρησιμοποιούμε στο chip. Τα περισσότερα ολοκληρωμένα κυκλώματα περιέχουν ένα μεγάλο αριθμό από BJT ή FET και λίγα έως ελάχιστα παθητικά στοιχεία. Η ταξινόμηση των ολοκληρωμένων κυκλωμάτων με κριτήριο την πολυπλοκότητα τους φαίνεται στον πίνακα 1.1.

Όνομα/γία	Αριθμός ενεργών συσκευιών	Τυπικές λειτουργίες
SSI (Small Scale Integration)	1-100	Πύλες, προενισχυτές
MSI (Medium Scale Integration)	100-1.000	Καταχωρητές, Φίλτρα, κλπ
LSI (Large Scale Integration)	1.000-100.000	Μικροεπεξεργαστές, A/D, κλπ
VLSI (Very Large Scale Integration)	10^5-10^7	Μνήμες, Υπολογιστές, Επεξεργαστές σημάτων κλπ

ΠΙΝΑΚΑΣ 1.1: Ταξινόμηση των ολοκληρωμένων κυκλωμάτων

Ο αριθμός των στοιχείων που μπορούν δυνητικά να τοποθετηθούν σε ένα wafer (δισκίου) εξαρτάται κυρίως από το μέγεθός του. Με-

γαλύτερης σπουδαιότητας όμως είναι ο αριθμός των στοιχείων που είναι δυνατό να τοποθετηθούν στην επιφάνεια του **chip**, το οποίο αντιπροσωπεύει ένα μικρό τμήμα της επιφάνειας του **wafer** όπως φαίνεται στο σχ. 1.1. Πρακτικά το μέγεθος των **chip** σπάνια είναι μεγαλύτερο του 1cm^2 . Ενδεικτικά αναφέρουμε ότι το εμβαδόν του **chip** της Texas Instruments 1M DRAM είναι 0.54cm^2 ενώ το **chip** του μικροεπεξεργαστή της Motorola 68020 είναι 0.85cm^2 . Είναι φανερό ότι ακόμη και σε 1cm^2 ένας μεγάλος αριθμός στοιχείων μπορούν να αξιοποιηθούν.



ΣΧΗΜΑ 1.1: Σχέδιο ενός δισκίου (**wafer**) στο οποίο φαίνονται τα επαναλαμβανόμενα **chips**

Μία άλλη ταξινόμηση βασίζεται στις διαστάσεις των στοιχείων σχεδίασης. Αυτή η ταξινόμηση γίνεται σε σχέση με το ελάχιστο δυνατό μέγεθος ενός επιμέρους στοιχείου (όπως η ελάχιστη απόσταση μεταξύ πυλών ή το ελάχιστο πλάτος πολυσιλικόνης, ή το ελάχιστο πλάτος μετάλλου) ή σε σχέση του βήματος (**pitch**)¹ και του ελαχίστου διαστήματος

¹ **pitch** : το ελάχιστο του αθροίσματος των ελαχίστων πλατών του στοιχείου.

μεταξύ παραπλήσιων στοιχείων. Το βήμα συχνά είναι σχεδόν το διπλάσιο του ελαχίστου στοιχείου.

Η ταξινόμηση των IC με βάση το ελάχιστο μέγεθος στοιχείου μας δίνει μια γλαφυρή εικόνα της ραγδαίας ανάπτυξης των ICs με την πάροδο του χρόνου. Στις αρχές της δεκαετίας του '70, το ελάχιστο μέγεθος στοιχείου ήταν τυπικά 7-10μ. Την επόμενη δεκαετία, του '80, το ελάχιστο μέγεθος ήταν τα 5μ. Στα μέσα της δεκαετίας του '80, το ελάχιστο μέγεθος συρρικνώθηκε στα 2μ ενώ μερικές ομάδες κατασκεύαζαν στο 1μ και 1,25μ. Στις αρχές του 1990 εμφανίστηκαν σχεδιάσεις με ελάχιστο μέγεθος 0.75μ, στις μέρες μας γίνονται σχεδιάσεις με διαδικασίες τις τάξης των 0.25μ ενώ σε εργαστηριακές σχεδιάσεις έχουν επιτευχθεί πολύ μικρότερες διαστάσεις.

Η αποτελεσματικότητα της συρρίκνωσης του χαρακτηριστικού μεγέθους στο πυρίτιο είναι ένα θέμα που επιδέχεται αμφισβήτηση. Πριν αναφερθούμε όμως αναλυτικά πάνω στο θέμα αυτό, καλό θα ήταν να θυμηθούμε μερικά πράγματα σχετικά με το βασικό δομικό στοιχείο των IC, του τρανζίστορ FET-MOS. Παρατηρούμε το σκαρίφημα ενός FET στο σχ. 1.2. Το FET αποτελείται από μία αγωγίμη περιοχή που ονομάζεται πύλη (gate), την οποία διαχωρίζει από την επιφάνεια του υποστρώματος (substrate) μια εξαιρετικά λεπτή επικάλυψη μονωτικού υλικού. Δεξιά και αριστερά από την πύλη υπάρχουν διαχύσεις που ονομάζονται περιοχές πηγής (source) και εκπομπού (drain). Το ελάχιστο μέγεθος σχεδίασης της επεξεργασίας με την οποία κατασκευάζεται το τρανζίστορ είναι περίπου ίσο με την ελάχιστη επιτρεπτή τιμή των L και W , δηλαδή του μήκους και του πλάτους της πύλης. Για παράδειγμα, σε μία 5μ επεξεργασία η ελάχιστη τιμή του L και W είναι 5μ. Η επιφάνεια που απαιτείται για την πύλη του τρανζίστορ σε αυτή τη επεξεργασία θα είναι $25\mu^2$, η πύλη καταλαμβάνει και το μεγαλύτερο τμήμα της συνολικής επιφάνειας του τρανζίστορ. Ακόμα και όταν οι η πλευρικές διαστάσεις

του FET (διαστάσεις x, y στο σχ. 1.2) είναι μικρές, οι κατακόρυφες διαστάσεις (διάσταση z στο σχ. 1.2) είναι κατά πολύ μικρότερες .

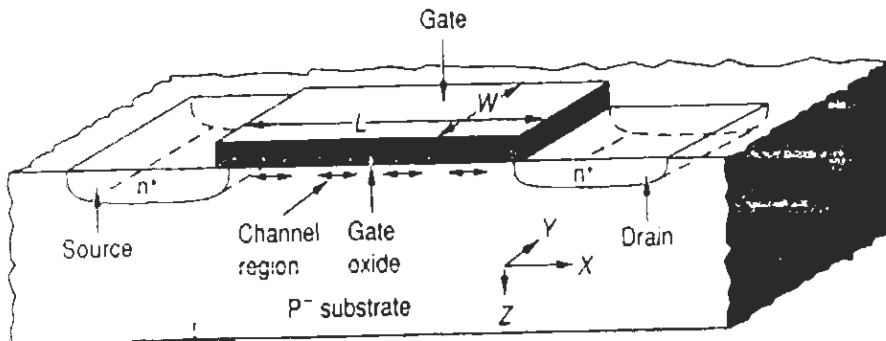


FIGURE 1.1-1

ΣΧΗΜΑ 1.2: Απλοποιημένη τρισδιάστατη άποψη ενός FET

Για παράδειγμα, το λεπτό μονωτικό στρώμα κάτω από την πύλη σε μία συμβολική 5μ επεξεργασία είναι πάχους περίπου 1000 \AA . Η σχέση των πλευρών, μεταξύ των πλευρικών x, y και της κατακόρυφης διεύθυνσης z , είναι υπερβολικά δυσανάλογες (Σχ. 1.2). Εξαιτίας της μεγάλης διαφοράς τάξης μεγέθους των πλευρικών και της κατακόρυφης διάστασης του FET, οι πλευρικές διαστάσεις συνήθως είναι εκφρασμένες σε μ ($1\mu = 10^{-6}\text{m}$) ή μερικές φορές σε mm και οι κατακόρυφες διαστάσεις σε \AA ($1 \text{ \AA} = 10^{-10}\text{m}$). Είναι πολύ σημαντικό να έχουμε μία σωστή εκτίμηση για τα δύο πλευρικά και το κατακόρυφο χαρακτηριστικά μεγέθη σε κάθε επεξεργασία.

Με βάση τα παραπάνω δεδομένα μπορούμε να υπολογίσουμε τα τρανζίστορ που είναι δυνατόν να κατασκευαστούν σε ένα κομμάτι πυριτίου (chip). Υποθέτουμε αρχικά ότι η περιοχή που χρειάζεται για να κατασκευασθεί ένα FET είναι ουσιαστικά ίση με την περιοχή που χρειά-

ζεται να υλοποιηθεί η πύλη. Με αυτή την υπόθεση, σε ένα δίσκο πυριτίου (wafer) 4 inch με επεξεργασία 5μ, χωράνε 3.24×10^9 , τρανζίστορ. Στην πραγματικότητα λόγω περιορισμών των αποστάσεων μεταξύ των στοιχείων και των αλληλοσυνδέσεων που απαιτούνται, ο πραγματικός αριθμός των τρανζίστορ που τελικά μπορούν να τοποθετηθούν σε αυτό το δίσκιο πυριτίου (wafer) θα είναι κατά μία με δύο τάξεις μεγέθους μικρότερος. Παρόλα αυτά είναι φανερό ότι ένας πολύ μεγάλος αριθμός τρανζίστορ μπορούν να κατασκευαστούν σε αυτό το δίσκιο (wafer). Μπορούμε τώρα να εκτιμήσουμε το αποτέλεσμα της συρρίκνωσης του μεγέθους της επεξεργασίας. Εάν κατασκευάζαμε τα τρανζίστορ με διαστάσεις 0.5μx0.5μ ο αριθμός των τρανζίστορ που θα χωρούσαν στον ίδιο δίσκιο πυριτίου στα 0.5μ, αυξάνει σε 3.24×10^{10} .

Εκτός από την αύξηση του αριθμού των στοιχείων, δύο ακόμη σημαντικά πλεονεκτήματα προέκυψαν από την συρρίκνωση των διαστάσεων των στοιχείων. Πρώτον, καθώς το μέγεθος ελαττώνεται, η ταχύτητα των κυκλωμάτων αυξάνει, σχεδόν γραμμικά με την ελάττωση του μεγέθους των στοιχείων. Το άλλο μεγάλο όφελος σχετίζεται με την απόδοση (yield), το μέγεθος και την πολυπλοκότητα. Η απόδοση εξαρτάτε πρωταρχικά από το εμβαδόν του πυριτίου που χρησιμοποιείται για την δημιουργία των διαφόρων στοιχείων (ενεργή περιοχή πυριτίου) ενός chip και είναι σχετικά ανεξάρτητη από τον αριθμό ή το μέγεθος των τρανζίστορ στην περιοχή αυτή. Αντιστοίχως, μειώνοντας το μέγεθος των στοιχείων καθιστά δυνατές μερικές χρήσιμες σχεδιάσεις, οι οποίες ήταν είτε πολύ μεγάλες ή είχαν μικρή απόδοση σε σχεδιάσεις με στοιχεία μεγάλου μεγέθους.

Η συρρίκνωση βέβαια παρουσιάζει και κάποια προβλήματα στην λειτουργία των ολοκληρωμένων κυκλωμάτων. Μερικά από αυτά τα μειονεκτήματα είναι και τα παρακάτω :

1. Η χειροτέρευση των χαρακτηριστικών

2. Η αύξηση του κόστους του εξοπλισμού που απαιτείται στην επεξεργασία των δισκίων πυριτίου (*wafers*),
3. Οι απαιτήσεις για επιπρόσθετες δυνατότητες από τα λογισμικά σχεδίασης και
4. Η αύξηση της επίδρασης των καθυστερήσεων στις αλληλοσυνδέσεις (κόμβοι) .

Επίσης υπάρχουν ανησυχίες για την αύξηση της πυκνότητας των απωλειών ισχύος και για προβλήματα που μπορούν να παρουσιαστούν στην διαδικασία της επεξεργασίας των **wafers** που να οφείλονται σε δυσκολία απαγωγής της θερμότητας κατά την κατασκευή. Όμως είναι γενικά αποδεκτό ότι τα οφέλη της συρρίκνωσης στο ελάχιστο δυνατό μέγεθος σχεδίασης υπερέχουν των περιορισμών, και ο στόχος των ερευνών παγκοσμίως είναι η περαιτέρω αύξηση της συρρίκνωσης.

Μέχρι τώρα , οι περιορισμοί στο μέγεθος των chip επιβάλλονταν κυρίως από αδυναμία υψηλής ανάλυσης των μηχανημάτων επεξεργασίας και κατασκευής. Σήμερα που είμαστε σε θέση να επιτύχουμε αυτή την υψηλή ανάλυση, τα προβλήματα και οι περιορισμοί εμφανίζονται λόγω της φυσικής υπόστασης των ημιαγωγών.

Το Gate oxide (το μονωτικό υπόστρωμα κάτω από την πύλη) σε διαστάσεις μικρότερες των 100 Å αναστρέφεται σε σύνδεση, δηλαδή γίνεται αγώγιμο. Η πυκνότητα των ατόμων πυριτίου σε έναν κρύσταλλο πυριτίου είναι 5×10^{22} άτομα ανά 1 cm^3 . Αυτό αντιστοιχεί, υπολογίζοντας κατά προσέγγιση, σε μία απόσταση μεταξύ ατόμων της τάξης 2.71 Å . Η μικρότερη απόσταση γειτονεύσεις είναι 1.18 Å και η σταθερά κατανομής (lattice constant) είναι 50.43 Å . Είναι φανερό ότι το υπόστρωμα των 100 Å του gate oxide στρώματος έχει διαστάσεις που πλησιάζουν αυτές των μοριακών δομών του κρυστάλλου του ίδιου του ημιαγωγού. Το οξειδίο του πυριτίου, το οποίο συνήθως χρησιμοποιείτε ως μονωτικό

στρώμα, είναι ακόμη πιο τραχύ από ότι το πυρίτιο. Η πυκνότητα του είναι περίπου 2.3×10^{22} μόρια/cm³, με μοριακή απόσταση, κατά προσέγγιση, της τάξης των 3.52Å. Οι ανωμαλίες στις επιφάνειες μεγέθους μερικών μορίων αποκτούν έτσι μεγάλη σημασία σε ένα στρώμα οξειδίου κάτω των 100Å. Εάν το πάχος γίνει μικρότερο από τα 50Å επεμβαίνει η κβαντομηχανική, για τον λόγο αυτό, πρακτικά τοποθετείται ένας ελάχιστος περιορισμός στην ελάχιστη τιμή του πάχους του οξειδίου. Μας απασχολούν ακόμη και οι δυνάμεις υψηλού ηλεκτρικού πεδίου, που μπορεί να προκαλέσουν λάθη στην λειτουργία των κυκλωμάτων. Τάσεις μεγαλύτερες των 5V εφαρμόζονται συνήθως σε μονωτικά στρώματα, οξειδίου του πυριτίου, που είναι μεγαλύτερα των 1000Å. Το πεδίο κατάρρευσης του οξειδίου του πυριτίου είναι τα 5-10 MV/1cm, μέγεθος που εξαρτάται από τον τρόπο με τον οποίο έχει παραχθεί. Εάν το δυναμικό των 5V εφαρμοστεί σε οξείδιο του πυριτίου πάχους 100Å, η δύναμη που ασκεί το συγκεκριμένο ηλεκτρικό πεδίο βρίσκεται στα όρια κατάρρευσης του οξειδίου. Επιπλέον οι αρρυθμίες που παρουσιάζονται σε ένα πολύ λεπτό στρώμα οξειδίου μπορεί να προκαλέσει σημαντική τοπική αύξηση της δύναμης του ηλεκτρικού πεδίου.

Η μόνη λύση είναι να ελαττώσουμε την τάση που εφαρμόζεται στο στρώμα του οξειδίου, αλλά αυτό είναι ανεπιθύμητο για δύο λόγους. Πρώτον, καθώς το δυναμικό διάμεσων του οξειδίου μειώνεται, οι επιδράσεις των θορύβων γίνονται ολοένα και πιο σημαντικοί, έτσι αυξάνει την πιθανότητα των τυχαίων λαθών στα κυκλώματα που χρησιμοποιούν αυτές τις συσκευές. Δεύτερον, τα υπάρχοντα συστήματα έχουν τυποποιημένα επίπεδα τάσεων λειτουργίας 5V & 3V, τα οποία είναι αποτέλεσμα συμφωνίας μεταξύ των κατασκευαστών. Εφόσον τα διάφορα στοιχεία αλληλοσυνδέονται για να αποτελέσουν ένα ποιο σύνθετο κύκλωμα, εάν υπάρχουν στοιχεία που αλληλοσυνδέονται με μη τυποποιημένα επίπεδα σημάτων αυξάνει η πολυπλοκότητα του τελικού σχε-

δίου. Οπότε παρόλο που υπάρχει η δυνατότητα για μικρότερες διαστάσεις δεν την εκμεταλλευόμαστε.

1.3. ΚΑΤΑΣΚΕΥΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ (IC)

Από την κατασκευή του πρώτου ολοκληρωμένου από τον Kilby έως τις μέρες μας έχουν αναπτυχθεί πολλές και διαφορετικές διαδικασίες κατασκευής ολοκληρωμένων. Στην βιομηχανία όμως έχουν επικρατήσει μέχρι τώρα τρεις (3) βασικές διαδικασίες κατασκευής ICs με ενεργά στοιχεία (τρανζίστορ). Αυτές είναι οι NMOS, CMOS και Bipolar. Μια τέταρτη διαδικασία ουσιαστικά συνδυάζει την Bipolar και την MOS διαδικασία σε μία πιο εξελιγμένη τεχνική. Η νέα αυτή μικτή διαδικασία ονομάζεται BiMOS. Μία πέμπτη μέθοδος κατασκευής ICs ονομάζεται υβριδική (hybrid process). Αυτές είναι μερικές από τις πιο διαδεδομένες διαδικασίες που χρησιμοποιεί η βιομηχανία παραγωγής ολοκληρωμένων.

Η NMOS (n-channel MOS) και η CMOS (Complementary MOS) μοιάζουν πολύ μεταξύ τους γιατί και οι δύο έχουν το MOSFET τρανζίστορ σαν βασικό ενεργό στοιχείο. Στην διαδικασία NMOS διατίθενται μόνο n-channel MOSFETs ενώ στην CMOS υπάρχουν τόσο n-channel MOSFETs όσο και p-channel MOSFETs. Όταν τις συγκρίνουμε βλέπουμε ότι η CMOS μας παρέχει το πλεονέκτημα της απλοποίησης του σχεδίου, όμως χρειάζεται περισσότερα στάδια κατασκευής. Συχνά η CMOS προτιμάται από την NMOS, για την ελάττωση των απωλειών ισχύος και βελτίωση της επίδοσης του κυκλώματος. Σε μερικές περιπτώσεις επιτυγχάνεται βελτίωση ακόμη και των τελικών διαστάσεων του κυκλώματος. Αυτοί οι περιορισμοί θα πρέπει να λαμβάνονται υπόψη όταν επιλέγεται η καλύτερη διαδικασία για μια συγκεκριμένη εφαρμογή. Μία ακόμη επεξεργασία που μπορεί να χρησιμοποιηθεί είναι η PMOS (p-channel MOS). Αυτή μπορεί να θεωρηθεί σαν δίδυμη της NMOS, σε αυτή όμως το ενεργό στοιχείο είναι το p-channel MOSFET τρανζίστορ.

Η PMOS χρησιμοποιούνταν ευρέως στα πρώτα MOS κυκλώματα όμως η NMOS επικράτησε λόγω των πλεονεκτημάτων που της παρέχει η φυσιολογία των ημιαγωγών μιας και η κίνηση των ηλεκτρονίων (e^-) είναι πιο εύκολη από την κίνηση των οπών.

Η Bipolar διαδικασία ονομάζεται έτσι γιατί έχει σαν βασικό ενεργό στοιχείο το τρανζίστορ διπολικής επαφής (BJT), αυτό που προσφέρει η συγκεκριμένη διαδικασία είναι οι υψηλότερες ταχύτητες, αν και οι ταχύτητες των NMOS και CMOS κυκλωμάτων έχουν βελτιωθεί πολύ τελευταία. Τα Bipolar κυκλώματα έχουν μεγάλες εσωτερικές απώλειες ισχύος σε αντίθεση με τα NMOS και CMOS. Για τα ψηφιακά κυκλώματα οι NMOS και CMOS διαδικασίες προσφέρουν σημαντικά υψηλότερη πυκνότητα στοιχείων από την Bipolar.

Η υβριδική διαδικασία συνδυάζει παθητικά στοιχεία, λεπτού και παχέως στρώματος, που βρίσκονται πάνω σε ένα ή σε ξεχωριστά substrate, με ενεργά στοιχεία, που βρίσκονται πάνω σε ένα άλλο substrate, πάνω σε έναν κοινό φορέα. Αυτή η ιδιαιτερότητα καθιστά τα υβριδικά ICs πολύ ακριβά για τα συνηθισμένα κυκλώματα όμως αποτελεί μία πρακτική λύση για ειδικές εφαρμογές που απαιτούν παθητικά στοιχεία μεγάλης ακρίβειας και με σταθερή θερμοκρασιακή συμπεριφορά.

Η κατασκευή των ICs, με οποιαδήποτε διαδικασία μπορεί να διαχωριστεί σε συγκεκριμένες επιμέρους φάσεις. Η κάθε διαδικασία αποτελεί μια συνεχή εναλλαγή αυτών των φάσεων, η διαφοροποίηση τους βρίσκεται στο σενάριο που καθορίζει την σειρά με την οποία αυτές πραγματοποιούνται. Οι φάσεις αυτές είναι οι εξής:

- Προετοιμασία Κρυστάλλου
- Masking (εφαρμογή της μάσκας)
- Φωτολιθογραφία

- Απόθεση (deposition)
- Εγχάραξη (etching)
- Διάχυση (diffusion)
- Σύνδεση αγωγών & αντιστάσεων
- Οξειδωση
- Επίταξη

1.3.1 Προετοιμασία Κρυστάλλου

Το substrate (υπόστρωμα) των ολοκληρωμένων είναι ένας κρύσταλλος πυριτίου που έχει ελαφρώς νοθευτεί είτε με n-type ή p-type προσμίξεις. Το substrate λειτουργεί τόσο σαν ο φυσικός φορέας πάνω και μέσα στον οποίο φτιάχνεται το IC όσο και σαν τμήμα του ηλεκτρικού κυκλώματος. Αυτοί οι κρύσταλλοι κόβονται σε λεπτές φέτες (δισκία-wafers) από μεγάλους κυλίνδρους κρυσταλλοποιημένου πυριτίου, που φτάνουν σε μήκος και τα δυο μέτρα και ποικίλουν σε διάμετρο από μία έως αρκετές ίντσες. Τα δισκία έχουν γενικά πάχος από 250μm έως 400μm. Από μία άποψη θα ήταν προτιμότερα πιο λεπτά δισκία αλλά έχει επιλεγεί αυτό το πάχος γιατί κάνει πιο εύκολο τον χειρισμό του και έχουν λιγότερες πιθανότητες να παραμορφωθούν κατά την διάρκεια της κατασκευής των ICs ή να σπάσουν. Το μέγεθος των δισκίων (wafers) έχει αυξηθεί θεαματικά με τον καιρό προκειμένου να γίνει δυνατή η παραγωγή μεγαλύτερου αριθμού chips ανά δισκίο ακόμη και για τα μεγάλα κυκλώματα. Έτσι από το 1989 στην παραγωγή των ICs χρησιμοποιούνταν δισκία των 4 inches, ενώ έχουν εμφανιστεί δισκία των 5 και 6 inches.

1.3.2 Masking

Οι μάσκες (Masks) των ICs είναι αρνητικά ή θετικά φιλμ έντονης αντίθεσης (black on clear). Χρησιμοποιούνται για να εμποδίσουν επιλεκτικά το φως να βρει την επιφάνεια του δισκίου, που έχει επικαλυφθεί με φωτοευαίσθητο υλικό, κατά την διάρκεια της φωτολιθογραφίας. Οι μάσκες γενικά κατασκευάζονται συνήθως από γυαλί, που καλύπτεται από ένα λεπτό στρώμα αδιαφανούς μετάλλου, παρότι μερικές φορές χρησιμοποιούνται και λιγότερο ανθεκτικές μάσκες από ειδικά γαλάκτωμα. Οι μάσκες προκύπτουν από μία ψηφιακή περιγραφή του κυκλώματος με την γεωμετρία της διαδικασίας που έχουμε επιλέξει. Υπάρχουν αρκετές διαφορετικές μέθοδοι κατασκευής μιας μάσκας αλλά οι πιο διαδεδομένες είναι οι παρακάτω:

1. Με **Laser**, σε αυτή τη μέθοδος χρησιμοποιείται ακτίνα laser για την δημιουργία της μάσκας, το οποίο είναι ρυθμισμένο σε 'raster scan mode' (σάρωση με αναπαραγωγή ειδώλου).
2. **Δέσμη ηλεκτρονίων**, σε αυτή τη μέθοδος χρησιμοποιείται μία δέσμη ηλεκτρονίων (**E-beam**), για να δημιουργήσει το πρότυπο απ' ευθείας πάνω στην τελική μάσκα. Αυτή η μέθοδος μας δίνει και την καλύτερη ποιότητα μάσκας γι' αυτό χρησιμοποιείται ευρέως για πολύ μικρές γεωμετρικές διαστάσεις αν και απαιτεί αρκετό χρόνο και πολύ ακριβό εξοπλισμό.

1.3.3 Φωτολιθογραφία

Στο στάδιο αυτό, όπως αναφέρθηκε και παραπάνω, αποτυπώνεται πάνω στο υπόστρωμα το καλούπι του ολοκληρωμένου με την βοήθεια ενός ειδικού υλικού, του photoresist(φωτοαντίσταση). Το photoresist είναι ένα κολλώδες παχύρρευστο υγρό που απλώνεται σε ένα πολύ λεπτό ομοιόμορφο στρώμα (περίπου 1μ) πάνω στο δισκίο, αμέ-

σως μετά τον καθαρισμό. Μετά από την επικάλυψη του δισκίου με photoresist, το δισκίο τοποθετείται σε φούρνο και θερμαίνεται προκειμένου να σκληρυνθεί το photoresist. Οι φυσικές ιδιότητες του photoresist μεταβάλλονται όταν εκτεθεί στο φως. Έτσι όταν το photoresist εκτεθεί σε φως μέσω των διάφανων τμημάτων μίας μάσκας, ή μέσα από ένα 'δικτυωτό φίλτρο' που περιέχει τις ίδιες πληροφορίες με την μάσκα, ή όταν μία ακτίνα ηλεκτρονίων σαρώσει μία συγκεκριμένη περιοχή, λειτουργεί σαν το φωτογραφικό φιλμ. Μετά από την έκθεση στο φως, το photoresist έχει αφαιρεθεί από τις περιοχές που έχουν φωτιστεί και διατηρείτε ανέπαφο στις περιοχές που ήταν σκοτεινές. Συχνά μετά από αυτό το βήμα ακολουθεί περαιτέρω σκλήρυνση στον φούρνο.

Υπάρχουν αρνητικά και θετικά photoresist. Με τα αρνητικά αφαιρείται η σκοτεινή περιοχή με το θετικό η φωτισμένη περιοχή. Το αρνητικό photoresist δεν επηρεάζεται από τα υλικά απόξυσης που χρησιμοποιούνται σε άλλη φάση της κατασκευής ενώ το θετικό προσφέρει καλύτερη ανάλυση. Γενικά τα photoresist τα χρησιμοποιούμε σαν προστασία του κυκλώματος που έχει κατασκευαστεί μέχρι εκείνο το σημείο, από τα χημικά που χρησιμοποιούνται στις φάσεις που πρόκειται να πραγματοποιηθούν καθώς και σαν φράγμα στις εμφυτεύσεις ιόντων.

Στην φωτολιθογραφία είναι απαραίτητη η σωστή ευθυγράμμιση της μάσκας προκειμένου τα διάφορα στοιχεία του κυκλώματος να έχουν τις σωστές διαστάσεις γιατί έτσι εξασφαλίζονται τα χαρακτηριστικά λειτουργίας και απόδοσης που θέλουμε να έχει το κύκλωμα μας. Τα σημεία ευθυγράμμισης εμπεριέχονται στις περιγραφές του κυκλώματος που χρησιμοποιούνται για την κατασκευή των μασκών και έτσι εμφανίζονται στο δισκίο κατά την διάρκεια και μετά το πέρας της διεργασίας. Μια ειδική μηχανή που ονομάζεται 'mask aligner' (ευθυγραμμιστής μάσκας) χρησιμοποιείται για την ευθυγράμμιση και τύπωση της μάσκας. Το φυσικό μέγεθος και η γεωμετρία που χρησιμοποιείται για την κατα-

σκευή καθορίζεται από την τεχνική που χρησιμοποιεί ο ευθυγραμμιστής και η οποία διαφέρει ανάλογα με την κατασκευάστρια εταιρεία.

1.3.4. Απόθεση

Απόθεση ονομάζεται η φάση κατά την οποία πραγματοποιούνται επιστρώσεις διαφόρων υλικών πάνω στο δισκίο. Αυτά τα στρώματα συχνά είναι πολύ λεπτά (200 Å ή και λιγότερο για ορισμένα στρώματα SiO₂) αλλά μπορεί να έχουν πάχος μέχρι και 20μ, στα κυκλώματα παχέως στρώματος (thick film circuits). Ανάλογα με το υλικό που αποθέτουμε, δημιουργούνται και τα αντίστοιχα στρώματα, έτσι έχουμε μονωτικά στρώματα, στρώματα αντίστασης, χωρητικά στρώματα, διηλεκτρικά, η και ρ τύπου ημιαγωγά υλικά και προσμίξεις, τα οποία τοποθετούνται βαθιά μέσα στο substrate.

Οι τεχνικές απόθεσης περιλαμβάνουν απόθεση μέσω φυσικού ατμού (εξάτμιση ή με βομβαρδισμό σωματιδίων), απόθεση χημικού ατμού (CVD Chemical Vapor Deposition) και Screen Printing (απόθεση μέσω καλουπιού) για τα πιο παχιά στρώματα. Με εξαίρεση των Screen Printed στρωμάτων, οι αποθέσεις δεν είναι επιλεκτικές και γίνονται ομοιόμορφα σε όλη την επιφάνεια του δισκίου. Ειδικότερα έχουμε :

Evaporation- Εξάτμιση: Η 'εξάτμιση' είναι μια τεχνική απόθεσης, κατά την οποία το υλικό το οποίο θέλουμε να προσθέσουμε ατμοποιείται μέσω του έλεγχου της θερμοκρασίας και της πίεσης του περιβάλλοντος που το φιλοξενεί. Αρχικά δημιουργείται 'ατμός' του υλικού και μετά σχηματίζεται ένα στρώμα πάνω στην επιφάνεια του chip όταν το περιβάλλον ψυχραθεί και ο ατμός στερεοποιηθεί. Μια συνεχής διαδοχή εξατμίσεων-συμπυκνώσεων μας εξασφαλίζει τον έλεγχο του ρυθμού αυξήσεως του πάχους του στρώματος.

Sputtering- Βομβαρδισμός σωματιδίων: Η τεχνική αυτή αποσπά τα μόρια του υλικού, που θέλουμε να προσθέσουμε, βομβαρδίζοντας το με ιόντα υψηλής ενέργειας. Τα μόρια που έχουμε αποσπάσει με αυτό τον τρόπο προσκολλούνται σε όλη την επιφάνεια του δισκίου και της συσκευής μέσα στην οποία πραγματοποιείται το sputtering. Συχνά δυο διαφορετικά υλικά μπορούν να βομβαρδιστούν ταυτόχρονα προκειμένου να προκύψουν τα επιθυμητά χαρακτηριστικά του υλικού που θέλουμε να αποθέσουμε. Αυτή η διαδικασία ονομάζεται co-sputtering. Σε μερικές περιπτώσεις η τεχνική του sputtering προτιμάτε από αυτή του evaporation γιατί εγγυάται την μέγιστη δυνατή καθαρότητα των υλικών που αποτίθενται στην επιφάνεια του δισκίου.

Chemical Vapor Deposition (CVD)-Απόθεση μέσω χημικού ατμού : Η τεχνική της απόθεσης μέσω χημικού ατμού εμφανίζεται με δυο παραλλαγές :

- α) Η πρώτη παραλλαγή αυτής της τεχνικής περιλαμβάνει την πρόκληση μιας χημικής αντίδρασης κοντά στην επιφάνεια του substrate η οποία δημιουργεί στερεά μόρια. Τα μόρια αυτά με την σειρά τους, προσκολλούνται στην επιφάνεια του substrate, δημιουργώντας το επιθυμητό στρώμα απόθεσης .
- β) Η δεύτερη παραλλαγή αφορά μια πυρολυτική διάλυση (διάλυση που προκαλείται με θερμότητα) ενός μόνου αερίου, το οποίο επίσης ελευθερώνει μόρια, τα οποία θέλουμε να προσκολληθούν στο substrate.

1.3.5 Etching - Εγχάραξη

Η εγχάραξη είναι μια επεξεργασία που επαναλαμβάνεται αρκετές φορές κατά την διάρκεια της κατασκευής των ολοκληρωμένων κυκλωμάτων. Βασικά πρόκειται για την επιλεκτική απομάκρυνση διάφορων

υλικών από την επιφάνεια του δισκίου, δηλαδή τον καθαρισμό του δισκίου από διάφορες μη επιθυμητές ουσίες. Συνήθως πρόκειται για τα υπολείμματα των φάσεων που προηγήθηκαν, όπως είναι η απόθεση, η οξειδωση κ.α.

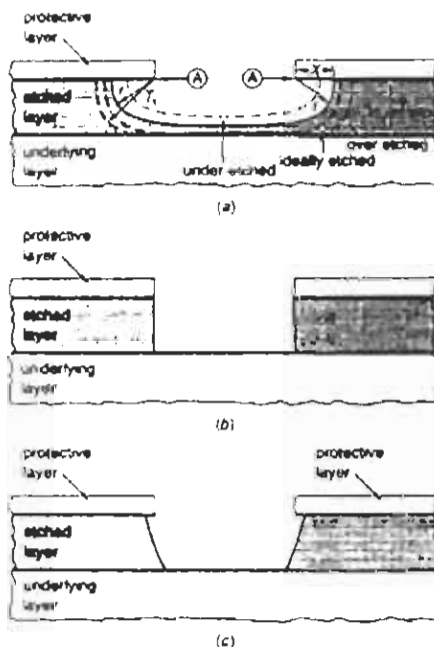
Το photoresist και οι μάσκες χρησιμοποιούνται σαν το καλούπι που διαμορφώνει την επιφάνεια του δισκίου και καθορίζει τα σημεία που θα γίνει η απομάκρυνση υλικών. Αποτέλεσμα της εγχάραξης είναι η αλλαγή των χαρακτηριστικών της επιφάνειας. Τα χημικά που χρησιμοποιούνται για το etching έχουν επιλεγεί προσεκτικά ώστε να αντιδρούν με τις μη προστατευόμενες περιοχές του δισκίου και όχι με τις προστατευόμενες. Δυο είναι οι μέθοδοι etching που χρησιμοποιούνται στην παραγωγή των ICs, η **υγρή εγχάραξη (wet etching)** και η **στεγνή εγχάραξη (dry etching)**.

Στην υγρή εγχάραξη, που είναι και η πιο παλιά τεχνική εγχάραξης, χρησιμοποιούνται χημικοί υγροί παράγοντες που απλώνονται στην επιφάνεια του δισκίου. Τα υλικά που χρησιμοποιούνται στην υγρή εγχάραξη ονομάζονται **χημικά υλικά εγχάραξης**. Αυτά προκαλούν την απομάκρυνση των υλικών τόσο στην κάθετη όσο και στην οριζόντια διεύθυνση, έτσι αυτή ονομάζεται μη κατευθυνόμενη εγχάραξη. Όμως η οριζόντια εγχάραξη υπομονεύει τα υλικά στις προστατευόμενες περιοχές έχοντας έτσι σοβαρές επιπτώσεις στην συμπεριφορά των στοιχείων που κατασκευάζουμε. Αυτές τις συνέπειες μπορούμε να τις αποφύγουμε αν το πλάτος των περιοχών αυτών είναι μεγαλύτερο από το πάχος του στρώματος που θέλουμε να απομακρυνθεί με την εγχάραξη.

Η στεγνή εγχάραξη, ή αλλιώς εγχάραξη ιόντων, είναι κατευθυνόμενη και έτσι δεν γίνεται οριζόντια απομάκρυνση υλικών. Υπάρχουν τρεις τεχνικές στεγνής εγχάραξης, το **sputter etching** που περιλαμβάνει βομβαρδισμό των επιλεγμένων περιοχών με σωματίδια, το **E-beam etching** που χρησιμοποιεί μια ακτίνα ηλεκτρονίων και η εγχάραξη με

πλάσμα. Η ταχύτητα της στεγνής εγχάραξης είναι γενικά μικρότερη από αυτή της υγρής, όμως η στεγνή εγχάραξη έχει αναγνωριστεί σαν μια πρακτική λύση εναλλακτική της υγρής και χρησιμοποιείται ευρέως σήμερα.

Η μη κατευθυνόμενη εγχάραξη ονομάζεται και ιστροπική. Η τομή παρουσιάζει την περιοχή εγχάραξης σχεδόν κυκλική, με κέντρο ένα σημείο A και ακτίνα r. Εάν η εγχάραξη σταματήσει αμέσως όταν εμφανιστεί το κάτω στρώμα υλικού τότε η ακτίνα γίνεται T. Αν δεν γίνει αυτό και η ακτίνα γίνει T_1 (όπου $T_1 > T$). Τότε το άνοιγμα θα είναι μεγαλύτερο και οι ιδιότητες του στοιχείου διαφορετικές από τις επιθυμητές.



ΣΧΗΜΑ 1.3: Είδη εγχάραξης: α)ισοτροπική
β)ανισοτροπική
γ)επιλεκτική

Η τελείως κατευθυνόμενη εγχάραξη ονομάζεται αλλιώς και ανισοτροπική. Η ανισοτροπική εγχάραξη δημιουργεί έντονες ακμές στην επιφάνεια του δισκίου, πράγμα που κάνει πολύ δύσκολη την ομοιόμορφη επικάλυψη της από τις επόμενες στρώσεις υλικών. Υπάρχει ακόμα

και η επιλεκτική εγχάραξη, που βασικά είναι εγχάραξη που γίνεται προς μια διεύθυνση. Δεν κατευθύνεται τόσο εύκολα όσο η ανισοτροπική εγχάραξη μπορεί όμως να προτιμηθεί από την ανισοτροπική στις περιπτώσεις που διευκολύνει την επίστρωση νέων στρωμάτων υλικών.

1.3.6 Diffusion- Διάχυση

Διάχυση ονομάζουμε την επεξεργασία εκείνη κατά την οποία γίνεται απόθεση διαφόρων προσμίξεων (doping) πάνω στο substrate ή πάνω στη τελευταία στρωμάτωση που έχει γίνει μέχρι τότε. Η συμπεριφορά των προσμίξεων, που επηρεάζει και την απόδοση του IC, εξαρτάτε άμεσα από την θερμοκρασία που γίνεται το doping, τον χρόνο που διαρκεί καθώς και από την σχέση αυτών των δυο κατά την κατασκευή των ICs. Κάθε φορά που γίνεται μια διάχυση προκαλείτε μετανάστευση υλικών από προηγούμενες διαχύσεις. Στην πραγματικότητα οι διαχύσεις συνεχίζονται επ' αόριστο και μετά την ολοκλήρωση της κατασκευής του IC, όμως για κανονικές θερμοκρασίες λειτουργίας των ICs χρειάζονται πάνω από δέκα (10) χρόνια για να αρχίσουν να γίνονται αισθητές οι συνέπειες τους.

Ο τρόπος με τον οποίο εισάγονται οι προσμίξεις ποικίλει. Ένα στρώμα στερεών ή αερίων στοιχείων πάνω από την επιφάνεια του δισκίου μπορεί να γίνει η πηγή των προσμίξεων. Αυτά μπορούν να επιταχυνθούν έτσι ώστε να βομβαρδίσουν επιλεκτικά την επιφάνεια του δισκίου και με αυτό τον τρόπο να καταφέρουν να εγκλωβιστούν μέσα στα επιφανειακά του στρωματά. Αυτή η τεχνική, που ονομάζεται εμφύτευση ιόντων (ion implantation), προσφέρει ακριβή έλεγχο της συγκέντρωσης των προσμίξεων αλλά μπορεί να προκαλέσει σοβαρές βλάβες στην κρυσταλλική δομή των επιφανειακών στρωμάτων του δισκίου.

Ο σκοπός της διαχύσεως μετά από μια απόθεση είναι η πρόκληση μετανάστευσης φορέων, από στερεά ή αέρια επιφανειακά στρώ-

ματα, προς το substrate. Μια διάχυση μετά από μια ιοντική εμφύτευση μπορεί να επιδιορθώσει ή να δυναμώσει τα σημεία της επιφάνειας του δισκίου στα οποία ίσως έχουν προκληθεί ρωγμές και να προκαλέσει μια επιπλέον μετακίνηση των προσμίξεων. Όπως και στην διαδικασία της εγχάραξης, η διεύθυνση της διαχύσεως δεν μπορεί να ελεγχθεί απόλυτα. Γενικά οι πρόσμιξες διαχέονται στην επιφάνεια του δισκίου, οριζόντια και κάθετα, με παρόμοιο ρυθμό και ανάλογο τρόπο με την ιστροπική εγχάραξη.

1.3.7 Αγωγοί και Αντιστάσεις

Το αλουμίνιο και άλλα μέταλλα χρησιμοποιούνται σαν αγωγοί για τις συνδέσεις των στοιχείων που δημιουργούν το κύκλωμα. Αυτά τα υλικά χρησιμοποιούνται προκειμένου να δημιουργηθούν διασυνδέσεις στα επιθυμητά σημεία. Το πάχος των στρωμάτων αλουμινίου συνήθως πρέπει να είναι γύρω στα 6000-8000Å^ο αλλά μπορεί να φτάσει και τα 20000Å^ο στα αναλογικά ICs.

Τα μεταλλικά στρώματα είναι ιδιαίτερα χρήσιμα για συνδέσεις που πρέπει να άγουν μεγάλα ρεύματα, όμως σε αυτή την περίπτωση το μέγεθος τους πρέπει να είναι αρκετά μεγάλο ώστε να αποφευχθεί το φαινόμενο της **μετανάστευσης μετάλλου** (metal migration) ή αλλιώς **ηλεκτρο-μετανάστευση** (electro-migration). Ηλεκτρο-μετανάστευση ονομάζουμε την μετακίνηση ατόμων με την ροή του ρεύματος, μπορεί να παρομοιαστεί με την διάβρωση που προκαλεί ο άνεμος στα εδάφη. Εάν συμβεί μια μεγάλη μετανάστευση μετάλλου οι αγωγοί σπάνε με αποτέλεσμα την καταστροφή του IC. Η μετανάστευση μετάλλου είναι αμελητέα εάν η κορυφή (peak) της έντασης του ρεύματος που διαρρέει τον αγωγό είναι κάτω από μια καθορισμένη τιμή. Αυτή η τιμή για το αλουμίνιο βρίσκεται στην περιοχή του 1mA/μ², για τα άλλα υλικά κυμαίνεται ανάλογα μεταξύ των 0.05mA/μ² και 21mA/μ².

Μη μεταλλικές επιστρώσεις χρησιμοποιούνται εκτενώς σαν αγωγοί και σαν συνδέσεις όταν υπάρχει μικρή ροή ρεύματος. Αυτά τα υλικά δεν είναι τόσο καλοί αγωγοί όπως τα μέταλλα και προκαλούν μια σημαντική πτώση τάσης όταν τα ρεύματα είναι υψηλά, γι' αυτό βρίσκουν περιορισμένη χρήση σαν αντιστάσεις. Ένας από τους πιο δημοφιλείς, μη μεταλλικούς αγωγούς είναι η πολυσιλικόνη (polysilicon).

Η πολυσιλικόνη διαφέρει από την μονοκρυσταλλική σιλικόνη, που χρησιμοποιούμε για την κατασκευή του substrate, μόνο στο ότι αποτελείται από μεγάλο αριθμό μικρών κρυστάλλων σιλικόνης οι οποίοι δεν είναι ούτε ευθυγραμμισμένοι ούτε προσανατολισμένοι. Έτσι ενώ χημικά είναι παρόμοια με την σιλικόνη του substrate, η ηλεκτρική της συμπεριφορά είναι πολύ διαφορετική. Η πολυσιλικόνη είναι καλός αγωγός όταν έχει πολλές προσμίξεις και κακός όταν έχει λίγες προσμίξεις. Χρησιμοποιείτε συχνά για την κατασκευή των πυλών των MOSFETs και των ηλεκτροδίων των πυκνωτών.

Η πολυσιλικόνη μπορεί να τοποθετηθεί πάνω από στρώμα SiO_2 , ενώ το SiO_2 μπορεί αναπτυχθεί ταχύτατα πάνω σε στρώμα πολυσιλικόνης και συχνά χρησιμοποιείται σαν διηλεκτρικό για την απομόνωση δυο στρωμάτων πολυσιλικόνης. Τα χαρακτηριστικά της πολυσιλικόνης εξαρτώνται από το μέγεθος των κρυστάλλων που την αποτελούν (grain size). Η πολυσιλικόνη μπορεί να αναπτυχθεί πολύ γρήγορα πάνω σε διάφορα υλικά. Τα στρώματα πολυσιλικόνης καλούνται **Poly** και το πάχος τους είναι συνήθως γύρω στα 2000 Å. Πυριτιούχα και άλλα δύστηκτα μέταλλα συχνά χρησιμοποιούνται πάνω από την πολυσιλικόνη ή την αντικαθιστούν στην κατασκευή των αγωγών. Πρόκειται συνήθως για πολύ καλύτερους αγωγούς από την πολυσιλικόνη.

1.3.8 Oxidation- Οξειδωση.

Οξειδωση καλείτε η επεξεργασία εκείνη κατά την οποία προκαλείτε η δημιουργία ενός οξειδίου, συνήθως SiO_2 ή άλλες ενώσεις του Si, πάνω στην επιφάνεια του δισκίου μέσω των μορίων οξυγόνου ενός αερίου που βρίσκεται πάνω από την επιφάνεια του δισκίου. Τα οξείδια αυτά χρησιμοποιούνται σαν διηλεκτρικά μεταξύ των διαφόρων στρωμάτων του IC .

Η ταχύτητα με την οποία αναπτύσσεται το SiO_2 εξαρτάται από συγκέντρωση των προσμίξεων και την θερμοκρασία του substrate κατά την οξειδωση. Το SiO_2 είναι ένα πολύ καλό μονωτικό και χρησιμοποιείται μεταξύ του substrate ή του υλικού της επιφάνειας και του επόμενου στρώματος. Η επεξεργασία αυτή όμως μπορεί να προκαλέσει κάποια προβλήματα γιατί όταν το SiO_2 αναπτύσσεται πάνω στο substrate ένα μικρό μέρος του Si του substrate καταναλώνεται προκειμένου να παράσχει τα μόρια πυριτίου που χρειάζονται στην οξειδωση. Έτσι για να αναπτυχθούν x microns SiO_2 καταναλώνονται περίπου $0.47x$ microns Si.

Μια εναλλακτική λύση στην οξειδωση είναι τοποθέτηση του SiO_2 με CVD. Αυτή η τεχνική χρησιμοποιείται εκτενώς όταν το SiO_2 πρέπει να καλύψει μη πυριτιούχα στρώματα, που δεν μπορούν να παρέχουν τα απαραίτητα μόρια σιλικόνης για την οξειδωση. Επιπλέον η CVD μπορεί να γίνει σε μικρότερη θερμοκρασία από την οξειδωση πράγμα που την κάνει πιο συμφέρουσα, ειδικά όταν θέλουμε να αποφύγουμε μια περιττή διάχυση υλικών. Τα στρώματα SiO_2 όμως που σχηματίζονται με οξειδωση είναι συνήθως πιο ομοιόμορφα από αυτά που σχηματίζονται με CVD.

Άλλα υλικά που χρησιμοποιούνται σαν μονωτικά στρώματα είναι διάφορα νοθευμένα οξείδια, όπως το φωσφοροπυριτιούχο γυαλί PSG (phosphosilicate glass), που χρησιμοποιούνται σαν μονωτικά πά-

νω από πολυσιλικόνη. Μερικά απ' αυτά δέχονται προσμίξεις, προκειμένου να βελτιωθούν τα χαρακτηριστικά ροής, κατά την σκληροποίηση τους. Αυτές οι προσμίξεις βοηθούν στην μείωση των πολύ απότομων ακμών (sharp boundaries) που δημιουργεί η εγχάραξη της πολυσιλικόνης.

Επίσης τα νιτρίδια (Si_3N_4) χρησιμοποιούνται, σε μερικές διαδικασίες, σαν διηλεκτρικά ανάμεσα σε δύο στρώματα πολυσιλικόνης. Η διηλεκτρική σταθερά του Si_3N_4 είναι 4 φορές μεγαλύτερη από αυτή του SiO_2 . Η ιδιότητά του αυτή μας προσφέρει μεγαλύτερη χωρητικότητα από το SiO_2 σε διηλεκτρικό στρώμα με το ίδιο πάχος και ποιο λεπτά στρώματα διηλεκτρικού από το SiO_2 για την ίδια τιμή χωρητικότητας. Πριν την εφαρμογή του Si_3N_4 , απλώνεται πάνω στο Si ένα λεπτό στρώμα SiO_2 για να ελαχιστοποιηθεί η φυσική καταπόνηση που μπορεί να επέλθει με την επαφή αυτών των δύο στρωμάτων. Αυτή η καταπόνηση προκαλείται από την διαφορά των κρυσταλλικών τους δομών.

Παρά τις χημικές διαφορές τους τα πολυαμίδια (polyimides) χρησιμοποιούνται επίσης σαν μονωτικά στρώματα, συνήθως μεταξύ δύο μεταλλικών στρωμάτων. Τα πολυαμίδια τείνουν να εξομαλύνουν τις έντονες ακμές των υποστρωμάτων τους μειώνοντας με τον τρόπο αυτό τις επιπτώσεις που μπορεί να επιφέρουν στην λειτουργία του IC.

1.3.9. ΕΡΙΤΑΧΥ - ΕΠΙΤΑΞΗ

Η επιταξική στρωμάτωση είναι βασικά αποτέλεσμα CVD πάνω στο substrate. Όμως αναφέρεται ξεχωριστά γιατί αφ' ενός χρησιμοποιείται ευρέως, ειδικά στα κυκλώματα διπολικά τρανζίστορ και αφ' ετέρου επειδή αποτελεί μία ιδανική μονοκρυσταλλική προέκταση του substrate. Τα επιταξιακά στρώματα αναπτύσσονται αρκετά αργά ώστε τα μόρια που αναπτύσσονται στην επιφάνεια να ευθυγραμμίζονται με την κρυσταλλική δομή του substrate. Μια μικρή ποσότητα n- ή p- τύπου

πρόσμιξη εισάγεται εσκεμμένα κατά την διάρκεια της επίταξης, προκειμένου να δημιουργηθεί ένα «ντοπαρισμένο» επιταξικό στρώμα εκεί που χρειάζεται.

1.4. ΚΑΤΑΣΚΕΥΗ IC ΜΕ CMOS

Ο τρόπος κατασκευής των ICs θα γίνει περισσότερο κατανοητός με τον πίνακα 1.2. Πρόκειται για το σενάριο κατασκευής ενός κυκλώματος με διεργασία CMOS. Παρόμοιος είναι και ο τρόπος κατασκευής των ICs και με τις άλλες διαδικασίες όπως αναφέραμε και στην ενότητα 1.3, η διαφορά τους βρίσκεται στην σειρά εφαρμογής των διαφόρων φάσεων και στον αριθμό των στρωμάτων που πρέπει να δημιουργηθούν. Περιγράφετε μόνο η CMOS διαδικασία γιατί είναι αυτή για την οποία σχεδιάσαμε το δικό μας κύκλωμα, αλλά και γιατί γενικά είναι μία από τις πιο δημοφιλείς και εύχρηστες.

Η CMOS μας δίνει τη δυνατότητα χρήσης των παρακάτω στοιχείων στην σχεδίαση μας

1. n-channel MOSFET
2. p-channel MOSFET
3. Πυκνωτές (Capacitors)
4. Αντιστάσεις (Resistors)
5. Διόδους (Diodes)
6. npn bipolar transistors
7. pnp bipolar transistors

Οι δίοδοι και τα τρανζίστορ θεωρούνται συχνά παρασιτικά στοιχεία και δεν χρησιμοποιούνται πολύ σαν καθ' αυτό στοιχεία του κυκλώματος. Άλλωστε η διεργασία CMOS έχει διαμορφωθεί έτσι ώστε να

διασφαλίζει άριστα χαρακτηριστικά για στοιχεία όπως n-channel και p-channel MOSFETs εις βάρος των χαρακτηριστικών των διπολικών στοιχείων. Αξίζει να σημειωθεί ότι η επεξεργασία CMOS είναι από τις πιο πολύπλοκες. Συγκεκριμένα χρειάζεται 8 βασικές μάσκες αντί των 6 που χρειάζεται η NMOS, και τα κυκλώματα σε αυτή την επεξεργασία καταλαμβάνουν μεγαλύτερο χώρο πάνω στο chip απ' ότι θα καταλάμβαναν τα ίδια κυκλώματα με NMOS επεξεργασία. Τα μειονεκτήματα αυτά όμως εξαφανίζονται λόγω δύο βασικών πλεονεκτημάτων που παρέχει η CMOS σε σχέση με την NMOS διαδικασία:

1. Παρέχει την δυνατότητα απλοποίησης των κυκλωμάτων, μιας και μπορούμε να χρησιμοποιήσουμε και τους δυο τύπους τρανζίστορ (nmos και pmos) και όχι μόνο ένα τύπο, όπως η NMOS.
2. Την σίγουρα υψηλή απόδοση όλων των κυκλωμάτων που κατασκευάζονται με αυτή την διαδικασία.

ΠΙΝΑΚΑΣ 1.2: ΒΑΣΙΚΟ ΣΕΝΑΡΙΟ ΚΑΤΑΣΚΕΥΗΣ ICs ΜΕ ΤΗΝ ΕΠΕΞΕΡΓΑΣΙΑΣ CMOS (Τα βασικά βήματα της διαδικασίας είναι με κεφαλαία, πιο έντονα τα σημεία όπου χρησιμοποιούμε μάσκες)

1. Clean wafer	
2. GROW THIN OXIDE	
3. Apply photoresist	
4. PATTERN P-WELL.	MASK # 1
5. Develop photoresist	
6. Deposit and diffuse p-type impurities .	
7. Strip photoresist	
8. Strip thin oxide	
9. Grow thin oxide	
10. Apply layer of Si ₃ N ₄ .	
11. Apply photoresist	
12. PATTERN Si₃N₄ (active area definition)	MASK # 2
13. Develop photoresist	
14. Etch Si ₃ N ₄	
15. Strip photoresist	
<i>Optional field threshold voltage adjust</i>	

- A1. Apply photoresist
**A2. PATTERN ANTIMOAT
 IN SUBSTRATE** MASK # A1
 A3. Develop photoresist
 A4. FIELD IMPLANT (n-type)
 A5. Strip photoresist
 16. GROW FIELD OXIDE
 17. Strip Si₃N₄
 18. Strip thin oxide
 19. GROW GATE OXIDE
 20. POLYSILICON DEPOSITION (POLY I)
 21. Apply photoresist
22. PATTERN POLYSILICON MASK # 3
 23. Develop photoresist
 24. ETCH POLYSILICON
 25. Strip photoresist
Optional steps for double polysilicon process
 B1. Strip thin oxide
 B2. GROW THIN OXIDE
 B3. POLYSILICON DEPOSITION
 (POLY II)
 B4. Apply photoresist
B5. PATTERN POLYSILICON MASK # B1
 B6. Develop photoresist
 B7. ETCH POLYSILICON
 B8. Strip photoresist
 B9. Strip thin oxide
 26. Apply photoresist
**27. PATTERN P-CHANNEL DRAINS AND
 SOURCES AND P+ GUARD RINGS (p-well oh-
 mic contacts)** MASK # 4
 28. Develop photoresist
 29. p + IMPLANT
 30. Strip photoresist
 31. Apply photoresist
**32. PATTERN N-CHANNEL DRAINS AND
 SOURCES AND N+ GUARD RINGS (top ohmic
 contact to substrate)** MASK # 5
 33. Develop photoresist
 34. n + IMFLANT
 35. Strip photoresist
 36. Strip thin oxide
 37. Grow oxide
 38. Apply photoresist
39. PATTERN CONTACT OPENINGS MASK # 6
 40. Develop photoresist
 41. Etch oxide
 42. Strip photoresist
 43. APPLY METAL
 44. Apply photoresist
45. PATTERN METAL. MASK # 7
 46. Develop photoresist

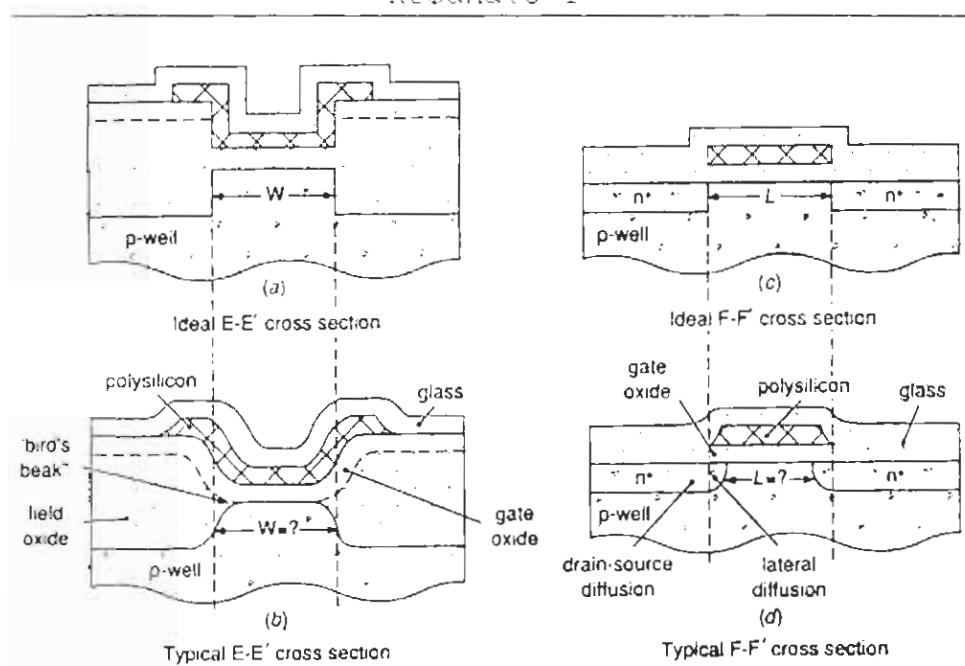
47. Etch metal	
48. Strip photoresist	
<i>Optional steps for double metal process</i>	
C1. Strip thin oxide	
C2. DEPOSIT INTERMETAL OXIDE	
C3. Apply photoresist	MASK # C1
C4. PATTERN VIAS	
C5. Develop photoresist	
C6. Etch oxide	
C7. Strip photoresist	
C8. APPLY METAL (Metal 2)	
C9. Apply photoresist	MASK # C2
C10. PATTERN METAL	
C11. Develop photoresist	
C12. Etch metal	
C13. Strip photoresist	
49. APPLY PASSIVATION	
50. Apply photoresist	
51. PATTERN PAD OPENINGS	MASK # 8
52. Develop photoresist	
53. Etch passivation	
54. Strip photoresist	
55. ASSEMBLE, PACKAGE AND TEST	

1.5. ΠΡΟΒΛΗΜΑΤΑ ΚΑΤΑ ΤΗΝ ΚΑΤΑΣΚΕΥΗ ICs

Κατά την κατασκευή των MOSFET, με οποιαδήποτε διαδικασία, υπάρχουν αρκετοί φυσικοί και κατασκευαστικοί παράγοντες, που κάνουν το τελικό MOSFET να διαφέρει από το ιδανικό του μοντέλο. Κάποιες, από αυτές τις διαφορές και τους παράγοντες που τις προκαλούν αναφέρουμε πιο κάτω.

1.5.1. Μείωση Πλάτους – Μήκους

Στο σχήμα 1.4 βλέπουμε δύο τομές ενός ιδανικού MOSFET και ενός πραγματικού n-channel MOSFET. Τα δύο MOSFET δεν είναι στη ίδια κλίμακα προκειμένου να γίνουν εμφανείς οι διαφορές τους.



ΣΧΗΜΑ 1.4: a,c τομές ιδανικού MOSFET- b,d τομές πραγματικού MOSFET

Οι διαστάσεις πλάτος W και μήκος L ενός MOSFET είναι πολύ σημαντικές. Πρόκειται για τα χαρακτηριστικά του εκείνα που μπορεί να ελέγχει ο σχεδιαστής για να καθορίζει την απόδοση του και την συμπεριφορά του γενικότερα.

Αναφερόμενοι στο πλάτος W ενός MOSFET, βασικά μιλάμε για το πλάτος της τάφρου (**moat**) ή αλλιώς για το πλάτος της ενεργούς περιοχής. Με τον όρο μήκος L αναφερόμαστε στην απόσταση μεταξύ συλλέκτη (**drain**) και εκπομπού (**source**) του MOSFET. Εδώ πρέπει να αναφερθεί ότι οι διαστάσεις του στοιχείου καθορίζονται από το μέγεθος της τομής της μάσκας του στρώματος poly και της μάσκας του στρώματος active και όχι από το μέγεθος του αποτυπώματος της poly, που δημιουργεί την πύλη (**gate**). Στην τομή (σχ. 1.5.1b) είναι φανερό ότι μια 'καταπάτηση' της ενεργού περιοχής έχει μειώσει το πλάτος του τρανζίστορ. Αυτή η 'καταπάτηση' από οξείδιο ονομάζεται bird's beak (ράμφος

πουλιού) εξαιτίας του σχήματος του. Προκαλεί σοβαρά προβλήματα, καθώς το πλάτος του τρανζίστορ δεν είναι πια ακριβώς καθορισμένο και η μείωση του πλάτους δεν μπορεί να ελεγχθεί εύκολα.

Η μείωση του πλάτους μπορεί να οφείλεται και σε άλλους παράγοντες, όπως η ακρίβεια με την οποία τοποθετήθηκε το στρώμα Si_3N_4 που προστατεύει το οξείδιο του πεδίου. Η προστασία όμως που μπορεί να παρέχει αυτό το στρώμα είναι δυνατό να υποβαθμιστεί, επηρεασμένο τόσο από το καλούπωμα του photoresist όσο και από τις πιθανές επιπτώσεις της εγχάραξη, που αναφέρθηκαν όταν προγράψαμε αυτήν την επεξεργασία. Επιπλέον, όταν υπάρχει ένα στρώμα SiO_2 κάτω από το στρώμα του Si_3N_4 , για να το προστατεύσει από μηχανικές καταπονήσεις, γίνονται καταπατήσεις που προκαλούνται κατά την ανάπτυξη του SiO_2 .

Παρόμοια προβλήματα υπάρχουν και στον έλεγχο της μείωσης του μήκους L . Η κυριότερη αιτία της μείωσης του μήκους L είναι η πλευρική διάχυση των προσμίξεων στο συλλέκτη (**drain**) και τον εκπομπό (**source**), η οποία δύσκολα ελέγχεται. Υποθέτοντας πως η διάχυση γίνεται με τον ίδιο ρυθμό και οριζόντια και κάθετα, και το βάθος της φτάνει τα 5000\AA , η ολική μείωση του L είναι περίπου 1μ . Αυτό δημιουργεί πολλά προβλήματα, ειδικά στα τρανζίστορ με μικρά κανάλια. Άλλοι παράγοντες που επηρεάζουν είναι το μήκος της πύλης (**gate**) καθώς και η ακρίβεια της εγχάραξης της polysilicon από την πύλη.

Εν κατακλείδι, είναι φανερό ότι η μείωση των L και W εμφανίζεται σε όλες τις υπάρχουσες διαδικασίες κατασκευής. Υπάρχουν τρόποι βέβαια να αντιμετωπιστεί έστω και μερικώς, όπως εάν συνυπολογιστούν στον αρχικό σχεδιασμό, ή αν γίνει **size-adjust**, μια αυτόματη διόρθωση δηλαδή των γεωμετριών της διαδικασίας έτσι ώστε να μικρύνει ή να μεγαλώσει τα αντίστοιχα σημεία της μάσκας. Παρόλα αυτά οι ακριβείς διαστάσεις του στοιχείου είναι ακόμα δύσκολο να καθοριστούν. Ειδικά

στις πολύ μικρές γεωμετρίες, των οποίων τα στοιχεία έχουν διαστάσεις γύρω στο 1μ ή και μικρότερη.

1.5.2. Πλευρική διάχυση Well (φρέατος)

Η πλευρική διάχυση που σχετίζεται με την δημιουργία της p-well (φρέαρ τύπου p). Το βάθος του p-well είναι περίπου 3μ και η τελική διάχυση της διαδικασίας κατασκευής του φρέατος έχει ανάλογο μέγεθος. Αν και δεν παίζει σημαντικό ρόλο στην απόδοση της συσκευής καταλαμβάνει μια μεγάλη περιοχή επιφανείας και εξαναγκάζει τον σχεδιαστή να αφήσει μεγάλα διαστήματα μεταξύ των μεμονωμένων p-well και μεταξύ των p-well & p^{*} διαχύσεων στο substrate, αυξάνοντας με αυτόν τον τρόπο, το κόστος κατασκευής ανά chip.

Ένας τρόπος για να μειωθεί το αντίκτυπο αυτών των μεγάλων περιοχών που καθορίζουν τα όρια των φρεάτων είναι να ομαδοποιήσουμε ένα μεγάλο αριθμό τρανζίστορ καναλιού n (n-channel transistors) και να τοποθετηθούν μέσα σε ένα p-well, όταν οι τάφροι τους έχουν την ίδια προοπτική. Δηλαδή πρέπει να γίνει ένας συμβιβασμός μεταξύ της οικονομίας του χώρου και της αύξησης των διασυνδέσεων που αυτή η μέθοδος δημιουργεί.

1.5.3. Latch-up (μανδάλωση)

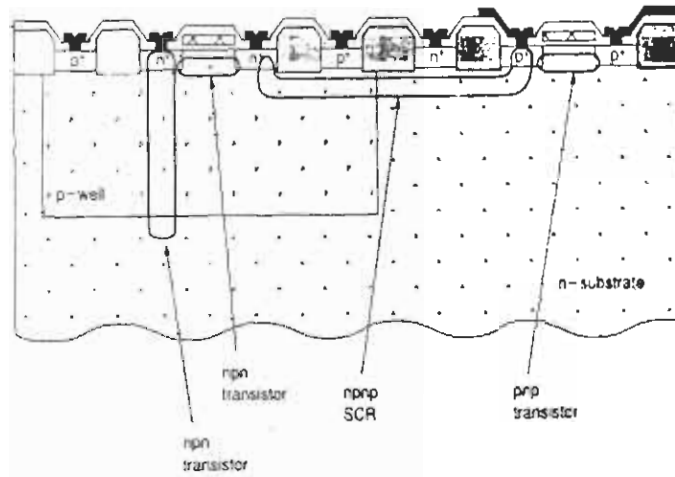
Προβλήματα μπορούν επίσης να προκληθούν εξαιτίας των «ντοπαρισμένων» στρωμάτων του πυριτίου. Είναι γνωστό ότι ένα 'σάντουιτς' τεσσάρων στρωμάτων, με προσμίξεις nρηρ ή pρηρ, σχηματίζει ένα θυρίστορ SCR (Silicon Controlled Rectifier). Όπως γνωρίζουμε όταν το θυρίστορ πυροδοτηθεί, συνεχίζει να άγει έως ότου διακοπεί η ροή του ρεύματος, έστω και αν έχει διακοπεί το σήμα της πύλης. Στο

Σχ. 1.6 εντοπίζουμε μερικά παρασιτικά διπολικά τρανζίστορ, καθώς και ένα SCR, μπορούμε επίσης να δούμε και αρκετές διόδους.

Αν και η CMOS επεξεργασία δεν έχει τις προδιαγραφές για να εξασφαλιστεί η καλή λειτουργία των διπολικών στοιχείων, υπάρχει μία μικρή πιθανότητα αξιοποίησης αυτών των διπολικών διόδων και τρανζίστορ. Τα SCR όμως που εμφανίζονται είναι απολύτως ανεπιθύμητα γιατί εάν πυροδοτηθούν άγουν ένα αρκετά μεγάλο ρεύμα που μπορεί να καταστρέψει του IC. Στα κυκλώματα CMOS η πυροδότηση του SCR ονομάζεται **latch-up** (μανδάλωση) και είναι κάτι που ο σχεδιαστής πρέπει να βεβαιωθεί ότι δεν θα συμβεί ποτέ.

Οι πιθανότητες εμφάνισης latch-up εξαρτώνται άμεσα με τη μορφή του layout. Μία από τις συνηθέστερες λύσεις για το πρόβλημα είναι η χρήση **guard-rings** (δακτύλιοι προστασίας). Αυτό όμως απαιτεί επιπλέον μάσκες και πιο πολλά βήματα κατασκευής. Ένας ακόμη τρόπος προστασίας είναι να κυκλωθούν πλήρως όλα τα p-well με ένα δακτυλίδι p+, όπως φαίνετε και στο σχήμα 1.5. Φροντίζουμε να δημιουργήσουμε όσο πιο πολλές επαφές γίνετε μεταξύ του προστατευτικού δακτυλίου και των μεταλλικών στρωμάτων προκειμένου να μειωθεί η αντίσταση του.

Με αυτό τον τρόπο το guard-ring γειώνεται ή βρίσκεται στην μικρότερη δυνατή τάση του κυκλώματος Vss. Αν αντί για p+ χρησιμοποιήσουμε έναν n+ guard-ring θα έχουμε τα ίδια αποτελέσματα, μόνο που η τάση με την οποία συνδέεται το guard-ring είναι η μέγιστη του κυκλώματος. Πρέπει να αποφεύγονται οι ρωγμές των guard-rings γιατί μπορεί να προκαλέσουν την καταστροφή του IC, έτσι λαμβάνεται ειδική μέριμνα όταν δημιουργούνται και εφαρμόζονται οι μάσκες για τα στρώματα αγώγιμων υλικών, όπως είναι η πολυσιλικόνη, ώστε να μην διέρχονται αυτά τα υλικά μέσα από τις περιοχές των guard-rings.



ΣΧΗΜΑ 1.5: Παρασιτικά τρανζίστορ σε φρέαρ p-well επεξεργασίας CMOS

1.5.4. Προστασία εισόδου (Input protection)

Κάτι που επίσης πρέπει να έχουμε υπόψη κατά την σχεδίαση είναι το static breakdown (κατάρρευση λόγω στατικού ηλεκτρισμού). Απαιτείται η προστασία των σημάτων εισόδου για να αποφύγουμε την κατάρρευση των κυκλωμάτων, όταν τα χειριζόμαστε.

Κύριες αιτίες αυτού του φαινομένου είναι οι εισοδοί που συνδέονται άμεσα με μία περιοχή η οποία χωρίζεται από το υπόλοιπο κύκλωμα μόνο από ένα λεπτό στρώμα οξειδίου, όπως είναι το οξείδιο πύλης (gate oxide) ή το οξείδιο διπλής πολυσιλικόνης (poly-poly oxide), και επιπλέον δεν έχουν επαφές με καμία diffused περιοχή. Τέτοιες επικίνδυνες περιοχές είναι η πύλη οποιουδήποτε τρανζίστορ ή οποιαδήποτε επαφή με ηλεκτρόδιο πυκνωτή (floating polysilicon capacitor).

Είναι γνωστό ότι το στρώμα SiO_2 καταστρέφεται όταν το ηλεκτρικό πεδίο κυμαίνεται μεταξύ των τιμών 5MV/cm και 10MV/cm. Για

στρώματα οξειδίου πύλης (gate oxide) 1000\AA το φαινόμενο προκύπτει για 50 έως 100V. Παρόλο που αυτές οι τάσεις είναι μεγαλύτερες από τη μέγιστη δυνατή τάση που μπορεί να εμφανιστεί σε κυκλώματα κατασκευασμένα με μια διεργασία όπως η CMOS 3μ, είναι πολύ μικρότερες από τις τιμές της στατικής τάσης που προκύπτει κατά την επαφή μας με τα chip.

Το πρόβλημα του στατικού ηλεκτρισμού επιδεινώνεται στα πιο λεπτά στρώματα οξειδίου. Επειδή η καταστροφή του οξειδίου είναι επικίνδυνη και πρέπει να αποφεύγεται, χρησιμοποιούνται διάφορα κυκλώματα προστασίας των εισόδων του chip (input protection circuit). Αυτά τα κυκλώματα δεν πρέπει να εμπλέκονται στην κανονική λειτουργία του κυκλώματος. Συνήθως δημιουργείται ένα απλό προστατευτικό κύκλωμα στην αρχή, που στην συνέχεια συνδέεται συνεχώς με τα pad που χρειάζονται προστασία.

Μια συνηθισμένη τεχνική προστασίας συνδέει τα input pads μέσω μιας μικρής αντίστασης πολυσιλικόνης με μία ανεστραμμένη δίοδο που καταστρέφεται χωρίς να προκαλέσει ζημιά σε τάση μικρότερη από την τάση κατάρρευσης του οξειδίου. Ο κόμβος που πρέπει να προστατευθεί τότε ταυτίζεται με τον κόμβο μεταξύ της αντίστασης και της διόδου. Στην επεξεργασία CMOS, αυτή η δίοδος θα μπορούσε να κατασκευαστεί εάν βάζαμε προσμίξεις n^+ σε ένα p-well με ένα επίλεκτο p^+ guard ring γύρω από την περιφέρεια της τάφρου. Αυτό το κύκλωμα προστατεύει μέσω της τάσης κατάρρευσης της διόδου, αν έχουμε θετική είσοδο, και μέσω κανονικής αγωγής αντιστραμμένης διόδου, όταν η είσοδος είναι αρνητική.

Στην NMOS επεξεργασία, προστασία μιας διόδου μπορεί να προκύψει εάν συνδέσουμε τον κόμβο που προστατεύουμε, μέσω της αντίστασης με μια n^+ διάχυση. Σε αυτή την επεξεργασία δεν προβλέπεται ούτε απαιτείται guard ring. Εναλλακτικά μπορούμε να συνδέσουμε

σαν shunt στην πρώτη δίοδο μια άλλη δίοδο με αντίθετη πολικότητα. Αυτή η δίοδος δημιουργείται από διαχύσεις p^+ στο substrate, με το n-substrate συνδεδεμένο με το σημείο του κυκλώματος που χρειάζεται προστασία και τις p^+ διαχύσεις συνδεδεμένες με τον κόμβο της πρώτης διόδου και της αντίσταση πολυσιλικόνης. Καλό θα ήταν οι p^+ διαχύσεις να προστατευόταν από έναν n^+ δακτύλιο. Τυπικά οι δίοδοι δεν άγουν, οπότε δεν λαμβάνονται υπόψη. Όμως στην πραγματικότητα προκαλούν μία μικρή παρασιτική χωρητικότητα που συνδέεται με μία γείωση.

Παρόλο που αυτά τα κυκλώματα μπορούν να χρησιμοποιηθούν για όλα τα pads, δεν είναι απαραίτητα για τα pads που είναι ήδη συνδεδεμένα με περιοχή διάχυσης ακόμη και εάν χωρίζονται με άλλα στρώματα και κόμβους του κυκλώματος μόνο με λεπτά στρώματα οξειδίου, γιατί η ίδια η περιοχή διάχυσεως δημιουργεί μια εν μέρει δίοδο και έτσι παρέχει προστασία. Παρόλα αυτά πρέπει να λαμβάνουμε πάντα μέτρα όταν χειριζόμαστε στοιχεία MOS, ακόμα και εάν έχει χρησιμοποιηθεί καλή κυκλωματική προστασία για να μειωθούν οι πιθανότητες καταστροφής του ICs από κατάρρευση λόγω στατικού ηλεκτρισμού.

1.6. ΣΥΣΚΕΥΑΣΙΑ & ΔΟΚΙΜΗ ΤΩΝ ICs.

Μετά τις διεργασίες κατασκευής τα ICs περνούν από δοκιμή και συσκευάζονται. Η δοκιμή έχει σαν στόχο την επιβεβαίωση ότι οι παράμετροι της κατασκευής είναι μέσα στα αποδεκτά όρια, δηλαδή δεν αφορά το κύκλωμα που κατασκευάστηκε αλλά την κατάσταση του δισκίου μετά από τις επεξεργασίες στις οποίες υποβλήθηκε. Προκειμένου να διευκολυνθεί αυτή η επαλήθευση, επάνω στο δισκίο υπάρχουν αρκετά σημεία τα οποία δεν περιέχουν κανονικά κυκλώματα αλλά ειδικές δομές που βοηθάνε στην διαδικασία της δοκιμής. Τα σημεία αυτά ονομάζονται σημεία δοκιμών ή Test-Plugs. Τα Test-Plugs μπορούν να βρισκονται και

ανάμεσα στα κυκλώματα, πάνω στις διαχωριστικές τους γραμμές (scribe lines), δίνοντάς μας μεγαλύτερο ενεργό χώρο πάνω στο δισκίο.

Ένα ειδικό probe χρησιμοποιείται για να κάνει φυσική επαφή με τα Test-Plugs προκειμένου να γίνουν κάποιες ηλεκτρικές μετρήσεις. Εάν ο έλεγχος δεν εμφανίσει κάποιο πρόβλημα τότε τα μεμονωμένα chips περνούν αυτόματα από ηλεκτρικό έλεγχο. Αυτά που θα βρεθούν ελαττωματικά σημαδεύονται με μελάνη και απορρίπτονται. Μετά την δοκιμή το δισκίο κόβεται με ειδικό πριόνι και τα chips διαχωρίζονται. Τα μεμονωμένα chip προσκολλούνται σε έναν φορέα ή κατευθείαν στην συσκευασία τους και δημιουργούνται οι συνδέσεις, μέσω συρμάτων, μεταξύ των pins της συσκευασίας και των pads του IC. Τα σύρματα αυτά είναι είτε από χρυσό είτε από αλουμίνιο. Η διάμετρός τους βρίσκεται στην περιοχή του 1mm. Αφού γίνουν και οι συνδέσεις η συσκευασία κλείνει και γίνεται το τελευταίο ηλεκτρικό τεστ.

Η τεχνολογία της συσκευασίας παρουσίασε μικρές βελτιώσεις στις δεκαετίες '70 & '80, σε αντίθεση με τους άλλους τομείς της κατασκευής των IC. Οι υπάρχουσες τεχνικές συσκευασίας θεωρούνται τροχοπέδη για την εξέλιξη της τεχνολογίας των IC γιατί ενώ υπάρχει η τεχνολογική δυνατότητα να κατασκευαστούν ακόμα πιο μικρά κυκλώματα, ικανά να λειτουργήσουν, αυτές επιβάλλουν ένα ελάχιστο δυνατό μέγεθος στα chip που μπορούν να συσκευαστούν. Αυτός είναι και ο λόγος που τα τελευταία χρόνια σημαντικές προσπάθειες σε παγκόσμιο επίπεδο επικεντρώνονται στα προβλήματα της συσκευασίας και έτσι πιο πρακτικές λύσεις αναμένονται να προκύψουν στα επόμενα χρόνια.

2^ο ΚΕΦΑΛΑΙΟ

2.1. ΣΧΕΔΙΑΣΗ ASIC ΚΥΚΛΩΜΑΤΩΝ

Όταν μιλάμε για την σχεδίαση ενός ολοκληρωμένου κυκλώματος βασικά αναφερόμαστε στην διαδικασία δημιουργίας των масών που θα χρησιμοποιηθούν στην κατασκευή του. Οι μάσκες, όπως αναφέραμε και στο προηγούμενο κεφαλαίο, είναι τα φιλμ που χρησιμοποιούνται κατά το στάδιο της φωτολιθογραφίας για να καθοριστούν τις περιοχές που θα υποστούν κάποια επεξεργασία πάνω στην επιφάνεια του δισκίου.

Η δημιουργία των масών για τα πρώτα βιομηχανικά κυκλώματα που κατασκευάστηκαν δεν ήταν καθόλου εύκολη. Η σχεδίαση τους έγινε κυριολεκτικά στο «χέρι». Αν και τα κυκλώματα αυτά ήταν πολύ απλά, η διαδικασία σχεδίαση τους ήταν δύσκολη και χρονοβόρα. Αποτελούσε συνήθως συνεργασία πολλών ατόμων με διαφορετικές ειδικεύσεις. Έτσι υπήρχε μια ομάδα των σχεδιαστών, που καθόριζαν την αρχιτεκτονική του ολοκληρωμένου και υπολόγιζαν τις τιμές των χαρακτηριστικών του μεγεθών και τις γεωμετρικές διαστάσεις των τρανζίστορ. μια ομάδα που έκανε την χωροταξική τοποθέτηση των τρανζίστορ πάνω στο chip και συνήθως μια ομάδα γραφιστών που έφτιαχναν το τελικό layout «στο χέρι» και στην κατάλληλη κλίμακα.

Συχνά οι σχεδιαστές έπρεπε να κάνουν «χαρτοκοπτική» πάνω στο παλιό σχέδιο ενός κυκλώματος προκειμένου να το διορθώσουν ή να ελέγξουν την τελική σχεδίαση στο πάτωμα ενός μεγάλου δωματίου, με επιγονατίδες και με χρωματιστά μολύβια. Η κατάσταση αυτή ήταν αποδεκτή για το διάστημα που τα κυκλώματα δεν είχαν πάνω από 100 τρανζίστορ, όμως η δημιουργία πιο πολύπλοκων κυκλωμάτων χρειαζόταν και νέες μεθόδους σχεδίασης. Το πιο σημαντικό χαρακτηριστικό

αυτών των μεθόδων ήταν η χρήση των ηλεκτρονικών υπολογιστών στην σχεδίαση.

Στην αρχή επρόκειτο μόνο για προγράμματα που υπολόγιζαν διάφορα μεγέθη ή εξομοίωναν το τελικό κύκλωμα, μειώνοντας με αυτό τον τρόπο σημαντικά τον συνολικό χρόνο σχεδίασης. Η εξέλιξη όμως των υπολογιστών οδήγησε στα σημερινά ειδικά εργαλεία σχεδίασης CAD tools (computer aided design tools) που χρειάζονται πολύ ισχυρούς υπολογιστές, υποστηρίζουν προηγμένα προγράμματα γραφικών και εξασφαλίζουν ταχύτατη επεξεργασία δεδομένων σχεδίασης. Τα CAD αυτά έχουν απλοποιήσει κατά πολύ την σχεδίαση ενός IC, και παίζουν σημαντικό ρόλο στην εξέλιξη των ολοκληρωμένων κυκλωμάτων γενικά. Τα cad tools μπορούν να χωριστούν σε τρεις βασικούς τύπους σχεδιαστικών προγραμμάτων :

- ☞ Τα προγράμματα που βασίζουν την σχεδίαση στην χρήση τυποποιημένων κυττάρων (Semi custom design - standard cells).
- ☞ Τα προγράμματα που η σχεδίαση γίνεται σε επίπεδο τρανζίστορ (Full custom design).
- ☞ Και τέλος τα προγράμματα που χρησιμοποιούν ειδικές γλώσσες περιγραφής υλικού (HDL-VHDL).

2.1.1 Σχεδίαση με τυποποιημένα κύτταρα

Ονομάζουμε τυποποιημένα κύτταρα τις σχεδιάσεις ορισμένων στοιχείων, όπως πύλες, καταχωρητές, μνήμες και άλλα, οι οποίες έχουν δημιουργηθεί για κάποια γνωστή τεχνολογία και έχουν ελεγχθεί για την καλή τους λειτουργία. Αυτές οι σχεδιάσεις μπορούν να ομαδοποιηθούν ανάλογα τον τύπο των στοιχείων και την τεχνολογία για την οποία σχεδιάστηκαν και να δημιουργήσουν μια βιβλιοθήκη με τυποποιημένα

κύτταρα (standard cells). Οι βιβλιοθήκες των κυττάρων περιλαμβάνουν συνήθως τις παρακάτω κατηγορίες κυκλωμάτων :

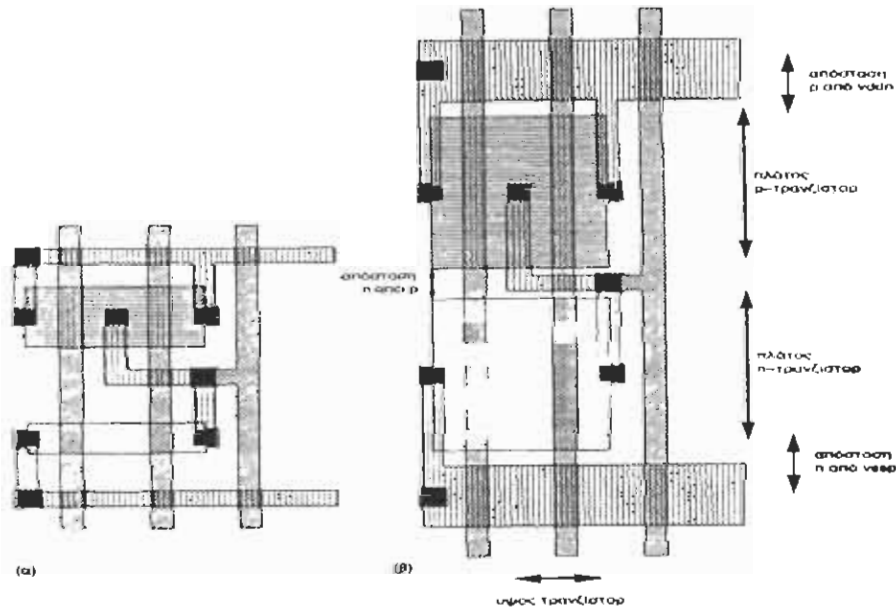
- Λογική SSI² (nand, nor, xor, aoi, oai, αντιστροφείς απομονωτές, καταχωρητές)
- Λογική MSI (αποκωδικοποιητές, κωδικοποιητές, δέντρα ισотиμί-ας, αθροιστές, συγκριτές)
- Χειριστές δεδομένων (data paths) (αριθμητικές λογικές μονάδες, αθροιστές, παρατάξεις καταχωρητών, ολισθητές, Κυκλώματα εισαγωγής και εξαγωγής σημάτων από διάδρομο)
- Μνήμες (RAM, ROM, CAM)
- Κυκλώματα σε επίπεδο συστήματος (πολλαπλασιαστές, μικροελεγκτές, UARTS , πυρήνες RISC).

Στα CAD αυτού του τύπου, η σχεδίαση πραγματοποιείται χρησιμοποιώντας ως δομικές μονάδες τα τυποποιημένα κύτταρα που είναι διαθέσιμα σε βιβλιοθήκες σε σχηματική περιγραφή ή σε γλώσσα HDL. Σε αυτή την φάση χρησιμοποιείται συνήθως ειδικός editor γραφικών υπάρχουν όμως και προγράμματα, ειδικά αυτά που αφορούν τις HDL, που η σχεδίαση γίνεται σε επίπεδο λογισμικού.

Συγκρινόμενες με άλλες μεθόδους σχεδίασης και παραγωγής ολοκληρωμένων, οι σχεδιάσεις με τυποποιημένα κύτταρα παρέχουν ένα σημαντικό πλεονέκτημα πυκνότητας με αντίστοιχη όμως αύξηση του κόστους του προτύπου και πιθανή αύξηση της πολυπλοκότητας της σχεδίασης. Πάντως, όταν η σχεδίαση αφορά μια εκ των πραγμάτων πολύπλοκη και ευμεγέθη κατασκευή, η χρήση των τυποποιημένων κυττάρων αποδεικνύεται πιο αποδοτική από οποιαδήποτε άλλη μέθοδο.

² Βλέπε πίνακα 1.2 , στο 1^ο κεφάλαιο .

Σε μια τυπική βιβλιοθήκη τυποποιημένων κυττάρων θα δούμε στοιχεία όπως αυτά του Σχ. 2.1. Στο σχήμα αυτό απεικονίζονται οι φυσικές σχεδιάσεις μιας πύλης NAND 2 εισόδων χαμηλής ισχύος και κανονικής ισχύος. Το μέταλλο τροφοδοσίας διασχίζει οριζόντια το πάνω και κάτω μέρος των κυττάρων. Καθώς αυτά τα υποθετικά κύτταρα υλοποιούνται με αυτοευθυγραμμιζόμενη πυριτιούχο διαδικασία (salicied), οι συνδέσεις στις εισόδους των πυλών γίνονται με πολυπυρίτιο (polysilicon).

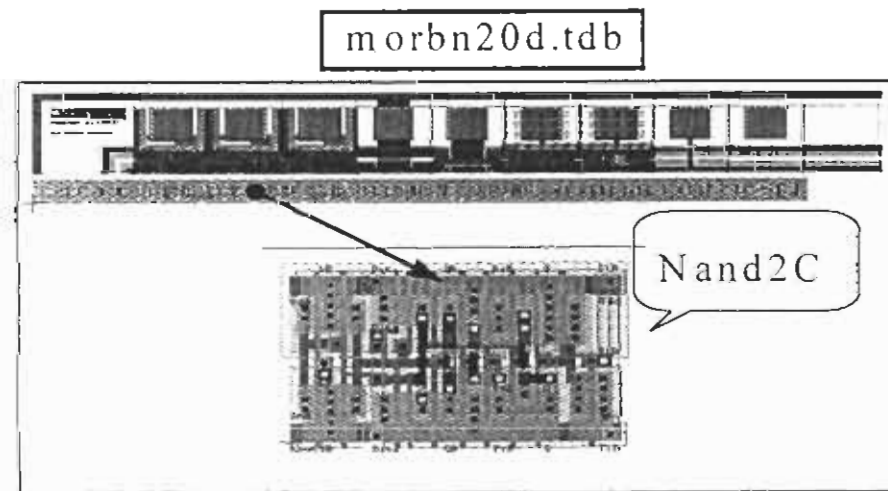


ΣΧΗΜΑ 2.1: Τυπικές δομές τυποποιημένων κυττάρων που παρουσιάζουν κύτταρα χαμηλής και κανονικής ισχύος.

Οι βιβλιοθήκες κυττάρων συνήθως δημιουργούνται με βάση διαστάσεις που οι κατασκευαστές των ολοκληρωμένων κυκλωμάτων έχουν τυποποιήσει. Υπάρχουν βιβλιοθήκες για κάθε διαδικασία κατασκευής ολοκληρωμένων και διαφορετικές εκδόσεις για κάθε τεχνολογία με διάφορες βελτιώσεις στα στοιχεία τους. Ο σχεδιαστής μπορεί έτσι να

εξασφαλίσει από την αρχή και εύκολα βασικούς παράγοντες τις σχεδίασης του. Υπάρχουν εκδόσεις βελτιστοποιημένης πυκνότητας που χρησιμοποιούν ελαχίστου μεγέθους τρανζίστορ για να επιτύχουν το μικρότερο ύψος τυποποιημένου κύτταρου, ενώ οι εκδόσεις βελτιστοποιημένης ταχύτητας χρησιμοποιούν μεγάλα τρανζίστορ για να παρέχουν καλή ικανότητα οδήγησης. Επιπροσθέτως, παρέχεται μια ποικιλία παραμετροποιήσιμων μακροκυττάρων όπως σειρές καταχωρητών, FIFOs, RAMs, ROMs.

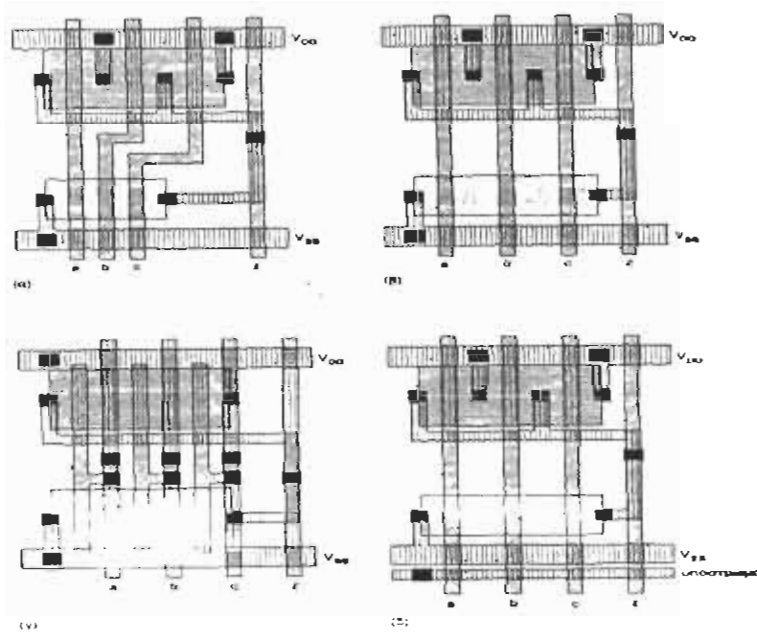
Υπάρχει ευρεία ανομοιομορφία στον τρόπο δημιουργίας και την μορφή των τυποποιημένων κυττάρων από εταιρεία σε εταιρεία. Παραδείγματος χάριν, η βιβλιοθήκη morbn20d.tdb (MOSIS/AMI n-well 2.0p process), είναι μια αντιπροσωπευτική περίπτωση (Σχ. 2.2). Τα κύτταρα αυτά είναι αρκετά πολύπλοκα και οι βιβλιοθήκες αυτού του τύπου χρειάζονται αρκετό χρόνο για να δημιουργηθούν.



ΣΧΗΜΑ 2.2: Η δομή της βιβλιοθήκης των standard cells morbn20d και ένα δείγμα ενός στοιχείου της σε μεγέθυνση.

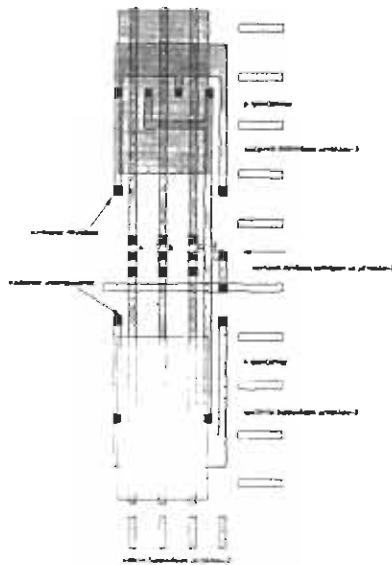
Μια άλλη προσέγγιση είναι η αφαίρεση της γεωμετρίας των κυττάρων ώστε να επιτραπεί η ταχύτατη προσαρμογή τους σε νέες εκδόσεις της τεχνολογίας τους. Στην περίπτωση αυτή οι μόνες πληροφορίες που συνοδεύουν τα σύμβολα των στοιχείων είναι εκείνες που αφορούν την διασύνδεσή τους με άλλα στοιχεία

Άλλες παραλλαγές παρουσιάζονται στο σχ.2.3. Στην περίπτωση που δεν υπάρχει διαθέσιμη αυτοευθυγραμμιζόμενη διαδικασία τοποθέτησης (SPR), οι πύλες πολυπυριτίου μπορούν να ενωθούν στο μέταλλο-2, ώστε να εξαλείψουν τυχόν RC καθυστερήσεις που μπορεί να συμβούν σε διασυνδέσεις που διατρέχουν κάποιο αριθμό σειρών από κύτταρα.



ΣΧΗΜΑ 2.3: Φυσικές σχεδιάσεις τυποποιημένων κυττάρων CMOS (συμβολικές).

Στο Σχ.2.4. παρουσιάζει μια στρατηγική τριών επιπέδων μετάλλου με τυποποιημένα κύτταρα για μια πύλη NAND 3 εισόδων. Στο κύτταρο αυτό οι εσωτερικές συνδέσεις των κυττάρων ολοκληρώνονται στο μέταλλο-1. Οι συνδέσεις στις πύλες παρουσιάζονται στο κέντρο του κυττάρου με μια διπλού-περάσματος δομή από το πολυπυρίτιο στο μέταλλο-2. Το μέταλλο-3 διατρέχει οριζόντια και το μέταλλο-2 διατρέχει κάθετα το κύτταρο, οπότε αυτό είναι πλήρως καλυμμένο με διασυνδέσεις. Με ένα τέτοιο τύπο κυττάρου σε συνδυασμό με καλή αυτοματοποιημένη τοποθέτηση (SPR), μπορούν να σχεδιαστούν κυκλώματα με μεγάλη πυκνότητα.



ΣΧΗΜΑ.2.4:

Τυποποιημένο
κύτταρο τριών
επιπέδων με-
τάλλου

Με μια βιβλιοθήκη όπου το μέγεθος των τρανζίστορ μπορεί να παραμετροποιηθεί και είναι διαθέσιμη η υποστήριξη γεννητριών για δομές κανονικών διατάξεων όπως οι χειριστές δεδομένων και οι μνήμες, η πυκνότητα μπορεί να συγκριθεί με αυτή που επιτυγχάνεται όταν σχεδιάζουμε σε επίπεδο ημιαγωγού. Αυτό σημαίνει ότι όλα τα φυσικά σχέδια

(layout), εκτός από ειδικά αναλογικά κυκλώματα, μνήμες ή κυκλώματα E/E, μπορούν να υλοποιηθούν με μικρό αντίκτυπο στο κόστος της ψηφίδας, αλλά με μεγάλο αντίκτυπο στην παραγωγικότητα.

2.1.2. Σχεδίαση μασκών σε επίπεδο ημιαγωγού

Η σχεδίαση σε επίπεδο τρανζίστορ είναι η ονομασία που έχει δοθεί σε τεχνικές κατά τις οποίες το φυσικό σχέδιο, πρακτικά του κάθε τρανζίστορ, είναι το καλύτερο. Με αυτό τον τρόπο έχουν δημιουργηθεί οι περισσότερες εμπορικές σχεδιάσεις.

Κατά την σχεδίαση με αυτή την μέθοδο πολλές φορές χρησιμοποιούνται ασυνήθιστες μορφές κυκλωμάτων ή μέθοδοι χρονισμού προκειμένου να μειωθεί το μέγεθος ή να αυξηθεί η ταχύτητα. Η σχεδίαση αυτή εμπεριέχει λεπτομερή χειρισμό του γεωμετρικού φυσικού σχεδίου (συμπύση πολυγώνων-polygon roushing) και λεπτομερή προσομοίωση κυκλώματος για κάθε δομή. Η σχεδίαση σε επίπεδο ημιαγωγού είναι κυρίως βασισμένη στη γεωμετρία και λιγότερο σε κάποιο είδος επαλήθευσης, λόγω έλλειψης υπολογιστικής ισχύος.

2.1.3. Σχεδίαση με HDL

Η σύλληψη της συμπεριφοράς και της δομής ενός συστήματος μπορεί να πραγματοποιηθεί με μια γλώσσα περιγραφής υλικού (HDL= Hardware Description Language). Υπάρχει μία ποικιλία από αποκλειστικής εκμετάλλευσης, εμπορικές και δημόσιας εκμετάλλευσης γλώσσες συμπεριλαμβανομένων και αυτών που προσδιορίζονται σαν ειδικές γλώσσες περιγραφής υλικού όπως VHDL, ELLA, Verilog και τροποποιημένες γλώσσες υψηλού επιπέδου όπως C, Pascal και Lisp.

Οι δημοφιλείς πρότυπες HDL διαφέρουν από τις άλλες υψηλού επιπέδου γλώσσες στο ότι μπορούν να τροφοδοτηθούν με έννοιες του υλικού, όπως τα διανύσματα από bit, τα σήματα και ο χρόνος. Αυτό το γεγονός αντανακλάται στο συντακτικό της γλώσσας καθώς και στα συ-

Κεφάλαιο 2^ο

στήματα υποστήριξης που την συνοδεύουν, τα οποία περιλαμβάνουν μεταφραστές (compilers), εκσφαλματωτές (debuggers) και εξομοιωτές (simulators). Από κοινού με τις υψηλού επιπέδου γλώσσες, οι HDL συνήθως παρέχουν όλα τα στοιχεία των σύγχρονων γλωσσών προγραμματισμού (δομή, παραμετροποίηση, υποθετικότητες, βρόγχους και ιεραρχία).

2.2 ΒΑΣΙΚΕΣ ΤΕΧΝΙΚΕΣ ΣΧΕΔΙΑΣΗΣ

Η ποιότητα και αποτελεσματικότητα μιας σχεδίασης, με οποιαδήποτε μέθοδο, καθορίζετε από ορισμένες παραμέτρους, η σπουδαιότητα των οποίων εξαρτάται από την εφαρμογή που σχεδιάζουμε. Αυτές οι σχεδιαστικές παράμετροι, όπως μπορούμε να τις ονομάσουμε είναι οι εξής:

- Απόδοση - ταχύτητα - ισχύς - λειτουργία - προσαρμοστικότητα.
- Μέγεθος ψηφίδας (οπότε και κόστος ψηφίδας).
- Χρόνος σχεδίασης (οπότε και κόστος μηχανιού και χρονοδιαγράμματος).
- Εύκολη δημιουργία δοκιμής και καταλληλότητα δοκιμής (οπότε και κόστος μηχανικού και χρονοδιαγράμματος).

Η τελική σχεδίαση θα είναι το προϊόν συνεχών συμβιβασμών μεταξύ αυτών των παραμέτρων, έως ότου επιτευχθεί ένα ικανοποιητικό αποτέλεσμα για όλες τις παραμέτρους. Βέβαια ανάλογα με τη σχεδίαση και τις συνθήκες (οικονομικές - υποκειμενικές) μπορούν να εφαρμοστούν και επιπλέον περιορισμοί σε μια σχεδίαση. Η επιτυχής υλοποίηση οποιουδήποτε ολοκληρωμένου κυκλώματος απαιτεί την προσοχή στις λεπτομέρειες της διαδικασίας σχεδίασης.

Με το πέρασμα των χρόνων αναπτύχθηκαν διάφορες τεχνικές δομημένης σχεδίασης για τον χειρισμό πολύπλοκων έργων υλικού όσο και λογισμικού. Οι τεχνικές αυτές έχουν συμπεριληφθεί στα περισσότερα CAD tools . Έχουν πολλές ομοιότητες και η πιστή εφαρμογή τους μπορεί να αλλάξει δραματικά το ποσοστό δυσκολίας της σχεδίασης. Οι πιο σημαντικές και πιο διαδεδομένες απ' αυτές τις τεχνικές είναι οι παρακάτω:

Ιεραρχία

Η χρήση της ιεραρχίας, ή της τεχνικής 'διαίρει και βασίλευε' αναφέρεται στη διαίρεση μιας μονάδας σε υπομονάδες έως ότου η πολυπλοκότητα των υπομονάδων φτάσει σε ένα επαρκώς κατανοητό επίπεδο λεπτομέρειας.

Κανονικότητα (Regularity).

Η ιεραρχία δεν μπορεί από μόνη της κατ' ανάγκη να λύσει το πρόβλημα της πολυπλοκότητας γιατί η διαρκεί υποδιαίρεση σε υπομονάδες θα μπορούσε να οδηγήσει σε ένα μεγάλο αριθμό υπομονάδων. Με οδηγό την κανονικότητα μπορούμε να χωρίσουμε την ιεραρχία σε ένα σύνολο όμοιων δομικών στοιχείων. Η κανονικότητα επιτρέπει βελτίωση της παραγωγικότητας με το να επαναχρησιμοποιεί συγκεκριμένες σχεδιάσεις για ένα αριθμό κυκλωμάτων, ώστε να ελαττώσει με αυτόν τον τρόπο τις διαφοροποιήσεις που μπορούν να προκύψουν.

Η χρήση της επανάληψης στη δημιουργία ομοίων κυττάρων είναι ένα παράδειγμα χρήσης της κανονικότητας. Η εκτεταμένη χρήση κανονικών δομών μπορεί να απλοποιήσει κατά πολύ την σχεδίαση.

Τμηματοποίηση (Modularity)

Η αρχή της τμηματοποίησης προσθέτει στην ιεραρχία και στην κανονικότητα την εξής συνθήκη "οι υπομονάδες πρέπει να έχουν σαφώς καθορισμένες λειτουργίες και διασυνδέσεις". Εάν οι μονάδες είναι

'καλά διαμορφωμένες' η αλληλεπίδραση με άλλες μονάδες μπορεί να καθοριστεί με σαφήνεια. Αν και είναι δύσκολο να προσδιοριστεί η έννοια της 'καλής διαμόρφωσης' μπορεί να περιγραφεί από τα παρακάτω.

Πρώτα απ' όλα απαιτείται μια καλώς ορισμένη διασύνδεση. Αυτό στα ολοκληρωμένα κυκλώματα αντιστοιχεί σε θέση, όνομα και τύπο της φυσικής σχεδίασης και τον τύπο σημάτων των εξωτερικών διασυνδέσεων, μαζί με τις λογικές συναρτήσεις και τα ηλεκτρικά χαρακτηριστικά. Η συνάρτηση επίσης θα πρέπει να ορίζεται με έναν ξεκάθαρο τρόπο. Η τμηματοποίηση βοηθά τον σχεδιαστή να αποσαφηνίσει και να τεκμηριώσει μια προσέγγιση σε ένα πρόβλημα και επίσης επιτρέπει σε ένα σύστημα σχεδίασης να ελέγχει ευκολότερα τις παραμέτρους μιας μονάδας που κατασκευάζει.

Τοπικότητα

Με το να ορίσουμε καλά διακρινόμενες διασυνδέσεις μεταξύ των μονάδων, ουσιαστικά καθορίζουμε ότι τα εσωτερικά στοιχεία της μονάδας είναι επουσιώδη για κάθε εξωτερική σύνδεση. Με αυτό τον τρόπο πετυχαίνουμε ένα είδος 'απόκρυψης πληροφορίας' που μειώνει την φανερή συνθετότητα αυτής της μονάδας.

Όλο και περισσότερο η τοπικότητα έχει καταλήξει να σημαίνει 'χρονική τοπικότητα', δηλαδή οι μονάδες βλέπουν σε ένα κοινό ρολόι οπότε και εφαρμόζονται μέθοδοι συγχρονισμού. Ο πρώτος τρόπος επιβεβαίωσης για χρονική τοπικότητα είναι το να δοθεί ιδιαίτερη προσοχή στην γεννήτρια ρολογιού και στα κατανεμημένα δίκτυα. Με δεδομένα τα προηγούμενα θα έπρεπε αν αυτό είναι εφικτό, κρίσιμα μονοπάτια να διατηρηθούν μεταξύ των ορίων των μονάδων. Κάθε γενικό σήμα από μονάδα σε μονάδα θα πρέπει να έχει εξολοκλήρου τον κύκλο ρολογιού ώστε να διατρέξει το κύκλωμα. Επαναλαμβανόμενα περάσματα του ολοκληρωμένου από κρίσιμα σήματα, θα οδηγήσουν ταχύτατα σε κακής ποιότητας χαρακτηριστικά χρονισμού.

Πολλές φορές σε σύγχρονες σχεδιάσεις, λογικά κυκλώματα επαναλαμβάνονται για την αποφυγή των περασμάτων κατά μήκος των ολοκληρωμένων. Οι μονάδες μπορούν επίσης να τοποθετηθούν έτσι ώστε να ελαχιστοποιήσουν την 'καθολική καλωδίωση' που μπορεί να είναι αναγκαία για την σύνδεση κάποιων μονάδων του συστήματος. Μια κοινά επιβεβλημένη τακτική στα σημερινά συστήματα σχεδίασης που εφαρμόζεται για διατάξεις πυλών και σχεδιάσεις σε επίπεδο τρανζίστορ ταυτόχρονα, είναι η χρήση «καλωδίων πρώτα - μονάδων μετά» και όχι το συνηθισμένο «μονάδες πρώτα - καλώδια μετά». Στον πίνακα 2.1 αναγράφονται περιληπτικά οι τεχνικές σχεδίασης.

ΠΙΝΑΚΑΣ 2.1	Σχεδίαση Υλικού
Ιεραρχία	Μονάδες
Κανονικότητα	Μονοπάτια δεδομένων, επαναχρησιμοποίηση μονάδων, συμμετρικές διατάξεις, διατάξεις πυλών, τυποποιημένων κυττάρων.
Τμηματοποίηση	Καλώς ορισμένες μονάδες διασύνδεσης, χρονισμός και φόρτωση δεδομένων για τα κύτταρα.
Τοπικότητα	Τοπικές συνδέσεις μέσω χωροθέτησης, καταχωρημένες εισοδοι και έξοδοι

2.3. ASIC Σχεδίαση με CAD tools

Η σχεδίαση ενός ολοκληρωμένου κυκλώματος ξεκινά από μια ιδέα σχετικά με τι θέλουμε να κάνει το κύκλωμα που πρόκειται να κατασκευαστεί. Το επόμενο βήμα είναι να καθοριστεί η αρχιτεκτονική του κυκλώματος και αυτή να μεταφραστεί σε λογικές συναρτήσεις από τις οποίες να προκύψει το τελικό φυσικό σχέδιο. Ένα καλό CAD πρέπει να

μας παρέχει όλα εκείνα τα μέσα που θα κάνουν δυνατή την μετατροπή της αρχικής ιδέας σε φυσικό σχέδιο. Αυτό στα περισσότερα CAD μεταφράζεται στο διαχωρισμό της σχεδίασης σε τρία στάδια:

1. Εισαγωγής του κυκλώματος μας, με την σχηματική περιγραφή του ή την περιγραφή του με HDL.
2. Εξομοίωση της συμπεριφοράς του κυκλώματος που σχεδιάσαμε.
3. Έλεγχος διαφόρων χαρακτηριστικών του κυκλώματος.
4. Κατασκευή του φυσικού σχεδίου (layout), έλεγχος για το αν τηρούνται οι κανόνες σχεδίασης του κατασκευαστή και τέλος εξαγωγή του κυκλώματος σε μορφή τέτοια που να μπορεί να κατασκευαστεί.

2.3.1. Εισαγωγή σχεδίασης

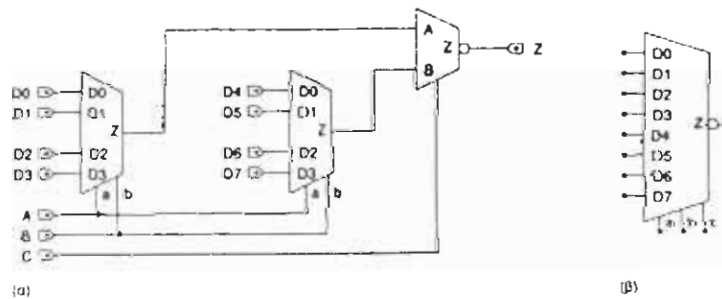
Η παραδοσιακή μέθοδος σχεδίασης ενός ψηφιακού συστήματος γίνεται μέσω ενός αλληλεπιδρώντος σχηματικού συντάκτη editor ή με γλώσσα HDL. Πολλά σχεδιαστικά συστήματα επιτρέπουν την ελεύθερη μίξη κωδικών και διαγραμμάτων έτσι ώστε οι σχεδιαστές μπορούν να επιλέξουν. Γενικά, τα διαγράμματα είναι πιο γρήγορα κατανοητά αλλά οι HDL τροποποιούνται πιο εύκολα.

Οι σχηματικοί συντάκτες παρέχουν τα μέσα για τη σχεδίαση και τη σύνδεση των στοιχείων. Μια συλλογή στοιχείων μπορεί να συγκεντρωθεί με μια μονάδα, για την οποία μπορεί να οριστεί ένα εικονίδιο. Το εικονίδιο είναι ένα διάγραμμα που αντιπροσωπεύει τη συλλογή στοιχείων που απαρτίζουν την εν λόγω μονάδα. Το σχήμα μπορεί να υποδηλώνει την λειτουργία της μονάδας ενώ οι συνδέσεις I/O της μονάδας αντιπροσωπεύονται από βούλες με ονόματα σημάτων. Το εικονίδιο αυτό μπορεί να χρησιμοποιηθεί από μια άλλη μονάδα, και ούτω καθεξής, ιεραρχικά κατά μήκος του σχεδίου. Το Σχ. 2.5 παρουσιάζει ένα τυπικό σχηματικό διάγραμμα για μια μονάδα και για το σχηματικό της εικονίδιο.

Κεφάλαιο 2^ο

Βασικά οι σχηματικοί συντάκτες είναι συντάκτες με γραφικά βασισμένοι σε μενού με λειτουργίες όπως :

1. Δημιουργία, επιλογή και διαγραφή κομματιών, σημαδεύοντας και καθορίζοντας περιοχή
2. Αλλαγή της γραφικής θέας μέσω πανοραμικής λήψης, μεγέθυνσης /σμίκρυνσης ή άλλων τρόπων.
3. Σε ένα βασικό συντάκτη με γραφικά προστίθενται λειτουργίες που αφορούν ηλεκτρικά χαρακτηριστικά του σχεδίου, όπως
4. Επιλογή ενός ηλεκτρικού κόμβου και εξέτασή του για κατάσταση, συνδέσεις, χωρητικότητα κλπ.
5. Εκτέλεση σχετικής εξομοίωσης ή άλλων βασισμένων σε ηλεκτρικά δίκτυα εργαλείων.



ΣΧΗΜΑ 2.6: Δομικές όψεις ενός κυκλώματος: α) σχηματικό διάγραμμα- β) σχηματικό εικονίδιο.

2.3.2. Εξομοίωση

Τα CAD που συναντούν πιο συχνά οι σχεδιαστές, είναι οι εξομοιωτές που χρησιμεύουν στην πρόβλεψη και επαλήθευση της λειτουργίας ενός δεδομένου κυκλώματος. Οι εξομοιωτές έρχονται σε μια ευρεία ποικιλία, που βασίζεται στην ακρίβεια και ταχύτητα της εξομοίωσης. Το

είδος του εξομοιωτή ορίζει το επίπεδο στο οποίο κάποιος μπορεί εκ των ασφαλών να σχεδιάσει. Έτσι, γενικά μπορούμε να πούμε ότι, με έναν **εξομοιωτή λογικής**, κάποιος μπορεί με ακρίβεια να μοντελοποιήσει καλά προσδιορισμένες πύλες και λειτουργικά κυκλώματα. Ένας **εξομοιωτής χρονισμού** επιτρέπει την κάθοδο της σχεδίασης στο επίπεδο του τρανζίστορ για τα περισσότερα ψηφιακά και για κάποια περιορισμένης ακρίβειας αναλογικά κυκλώματα. Τέλος, ένα πρόγραμμα **ανάλυσης κυκλώματος** παρέχει αρκετή ακρίβεια (όταν ρυθμίζεται για μια διαδικασία) για τα περισσότερα πολύπλοκα αναλογικά κυκλώματα. Ειδικότερη αναφορά στα διάφορα είδη εξομοίωσης γίνεται παρακάτω.

1. Εξομοίωση Κυκλώματος

Η πιο λεπτομερής και ακριβής τεχνική εξομοίωσης αναφέρεται ως Κυκλωματική Ανάλυση (Circuit Analysis). Όπως υποδηλώνει και το όνομά της, οι εξομοιώσεις πραγματοποιούνται στο επίπεδο των κυκλώματος. Προγράμματα κυκλωματικής ανάλυσης είναι το πρόγραμμα SPICE που αναπτύχθηκε στο Πανεπιστήμιο του Berkleys της California, το ASTAP που αναπτύχθηκε από την IBM, επίσης εμπορική διαθέσιμη έκδοση είναι το πρόγραμμα HSPICE.

Η βάση για αυτόν τον τύπο προγραμμάτων είναι η λύση των εξισώσεων πινάκων που αναφέρονται στις τιμές των τάσεων, ρευμάτων και αντιστάσεων (ή αγωγιμοτήτων) του κυκλώματος. Αυτός ο τύπος των εξομοιωτών χαρακτηρίζεται από υψηλή ακρίβεια αλλά και μεγάλους χρόνους εξομοίωσης. Οι χρόνοι εξομοίωσης είναι τυπικά ανάλογοι τον N^m , όπου το N είναι ο αριθμός των μη γραμμικών στοιχείων του κυκλώματος, και το m ένας αριθμός μεταξύ του 1 και του 2. Συνήθως χρησιμοποιείται για τη λεπτομερή επαλήθευση μικρών κυκλωμάτων ή για τον έλεγχο των αποτελεσμάτων εξομοίωσης από ταχύτερους αλλά μικρότερης ακρίβειας εξομοιωτές, όπως οι εξομοιωτές χρονισμού.

Σε ένα τέτοιο εξομοιωτή υπάρχουν τρεις βασικές πηγές σφαλμάτων και δίνονται παρακάτω:

- Ανακρίβεια στις παραμέτρους των μοντέλων MOS.
- Χρήση ενός ακατάλληλου μοντέλου MOS.
- Ανακρίβεια στις παρασιτικές χωρητικότητες και αντιστάσεις.

Συνήθως, σύγχρονοι εξομοιωτές κυκλωμάτων ανάλογοι του SPICE παρέχουν διαφορετικά επίπεδα μοντελοποίησης (οριζόμενα από την παράμετρο LEVEL). Τα απλά μοντέλα βελτιώνουν την ταχύτητα επεξεργασίας για ένα πρώτο έλεγχο, ενώ τα πιο πολύπλοκα μοντέλα χρησιμοποιούνται για πιο ακριβείς εξομοιώσεις.

Μία σημαντική πηγή σφαλμάτων στην προβλεπόμενη συμπεριφορά μπορεί να είναι οι παρασιτικές χωρητικότητες που εμφανίζονται στους κόμβους του κυκλώματος. Η χωρητικότητα πύλης αποτελεί μέρος του μοντέλου MOS και θα πρέπει να αφαιρείται από τη συνολική χωρητικότητα που θα προβλεφθεί από το πρόγραμμα εξαγωγής φυσικού σχεδίου. Άρα πρέπει να βρεθεί ο τρόπος που οι χωρητικότητες υποδοχής και πηγής προστίθενται στα τρανζίστορ, γιατί συχνά προστίθενται ως δίοδοι ή ως ένα μέρος από το μοντέλο MOS. Στην περίπτωση αυτή, δεν θα πρέπει να αθροίζονται ως παρασιτική χωρητικότητα στον κόμβο. Μια καλή πρακτική είναι να δημιουργείται ένα φυσικό σχέδιο ελέγχου με γνωστές περιοχές και περιφέρειες σε κάθε στρώση και στη συνέχεια να ελεγχθεί το αποτέλεσμα της ανάλυσης του SPICE με ένα πρόγραμμα εξαγωγής. Γενικά απαιτείται συνεχές ενδιαφέρον για τα μέσα της ρύθμισης του προγράμματος.

2. Εξομοίωση Χρονισμών

Είναι πιθανό να απλοποιηθεί η γενική προσέγγιση της κυκλωματικής ανάλυσης που χρησιμοποιήθηκε παραπάνω ώστε να επιτρέψει σε απλούς, χωρίς πίνακες, υπολογισμούς να εφαρμοστούν για να εξο-

μοιωθεί η συμπεριφορά ενός κυκλώματος. Αυτό συνήθως σημαίνει τη χρήση κάποιων προσεγγίσεων, τυπικό παράδειγμα ενός σύγχρονου εξομοιωτή αυτού του τύπου αποτελεί ο εξομοιωτής MOTIS. Η ακρίβεια αυτών των εξομοιωτών είναι μικρότερη από αυτή των εξομοιωτών τύπου SPICE, αλλά ο χρόνος εκτέλεσης είναι σχεδόν δύο τάξεις μεγέθους μικρότερος.

Η υλοποίηση μπορεί να χρησιμοποιεί εξισώσεις μοντέλων MOS ώστε να υπολογίζει τα ρεύματα των στοιχείων ή να χρησιμοποιεί μεθόδους πινάκων αναφοράς. Συνήθως η σχετική ακρίβεια αυτών των εξομοιωτών είναι καλή, οπότε κυκλώματα με έμφυτη την υψηλή ταχύτητα θα επιδείξουν καλύτερη συμπεριφορά σε αυτούς τους εξομοιωτές από τα βραδύτερα κυκλώματα. Εν τούτοις, μερικές φορές η ακρίβεια μπορεί να μην είναι τόσο καλή όσο ενός εξομοιωτή ανάλυσης κυκλώματος.

Η απόλυτη ακρίβεια αυτών των εξομοιωτών είναι κατά κάποιον τρόπο μάλλον παραπλανητικό στοιχείο, γιατί οι παρεκκλίσεις της διεργασίας, οι παρεκκλίσεις της θερμοκρασίας και οι επιτρεπτές παρεκβάσεις της τάσης τροφοδοσίας μπορούν να μεταβάλλουν το αποτέλεσμα. Ο σχεδιαστής συνήθως προσπαθεί να προβλέψει το βραδύτερο χρόνο στον οποίο θα δουλέψει το κύκλωμα, κάτι τέτοιο δεν είναι συνετό να γίνει χωρίς να οριστούν κάποια όρια. Εκτός αν το συνολικό σύστημα σχεδίασης είναι γνωστό ότι προβλέπει με ακρίβεια τις επιδόσεις της χειρότερης περίπτωσης. Οι σχεδιαστές συνήθως αφήνουν ένα 10-20% περιθώριο στις εκτιμώμενες ταχύτητες.

3. Εξομοίωση στο Λογικό Επίπεδο

Πολλοί εξομοιωτές εμπεριέχουν την εξομοίωση στο λογικό επίπεδο. Χρησιμοποιούν πρωτογενή μοντέλα όπως οι πύλες NOT, AND, OR, NAND και NOR. Μερικοί εξομοιωτές λειτουργούν σε κατάσταση «μοναδιαίας καθυστέρησης», όπου κάθε πύλη θεωρείται ότι έχει καθυστέρηση μιας χρονικής μονάδας. Οι εξομοιωτές αυτού του τύπου μπο-

ρούν να επιτύχουν μεγάλες ταχύτητες εκτέλεσης με αξιόλογες επιδόσεις στον τομέα της ακρίβειας και είναι ιδανικοί για τα συστήματα CMOS ή άλλα παρόμοια συστήματα.

Εναλλακτικά, οι παράμετροι χρονισμού μπορούν να ανατεθούν στα λογικά μοντέλα με βάση την προγενέστερη εξομοίωση τον κυκλώματος και τις γνωστές παρασιτικές χωρητικότητες. Καθώς στα λογικά κυκλώματα είναι σπάνιο να είναι όλα τα στοιχεία ταυτόχρονα ενεργά, τα λογικά γεγονότα μπορούν να προγραμματιστούν με μία σειρά. Αυτό σημαίνει πως η κατάσταση τον δικτύου υπολογίζεται σε μία βάση περισσότερο οδηγούμενη από γεγονότα (event-driven) παρά από κάποιο βήμα χρονισμού, όπως είναι οι περισσότερες υλοποιήσεις των δύο προηγούμενων εξομοιωτών.

Ο χρονισμός φυσιολογικά ορίζεται με όρους μιας ενδογενούς καθυστέρησης και μιας καθυστέρησης εξαρτώμενης από το φορτίο για τις μεταβάσεις των ακμών, όπως παρακάτω:

$$T_{\text{πύλης}} = T_{\text{ενδογενή}} + C_{\text{φορτίου}} * T_{\text{φορτίου}} \quad \text{όπου:}$$

$T_{\text{πύλης}}$ = η καθυστέρηση της πύλης

$T_{\text{ενδογενής}}$ = η ενδογενής καθυστέρηση πύλης (χωρίς φορτίο)

$C_{\text{φορτίου}}$ = το πραγματικό φορτίο σε κάποιες μονάδες (π.χ. pF ή # κανονικοποιημένων¹ πυλών)

$T_{\text{φορτίου}}$ = η καθυστερήση ανα φορτίο σε κάποιες μονάδες (π.χ. ns/pF ns/ #κανονικοποιημένων πυλών)

Οι λογικοί εξομοιωτές με τέτοιες πληροφορίες χρονισμού, είναι αρκετά ακριβείς για κυκλώματα λογικής CMOS ή για άλλα κυκλώματα, όπου η συνάρτηση περιγράφεται πλήρως στο επίπεδο πύλης. Τη σημερινή εποχή, αυτός ο χαρακτηρισμός μπορεί να γίνει αυτόματα με την εκτέλεση περιγραμμάτων που επιτελούν την εξομοίωση τον κυκλώματος και εξάγουν τα σχετικά αποτελέσματα. Στις περιπτώσεις όπου αυτή η δυνατότητα δεν είναι διαθέσιμη, απαιτείται βήμα-βήμα εξομοίωση.

¹ Μια κανονικοποιημένη πύλη μπορεί να είναι το μικρότερο φορτίο πύλης τον μικρότερο αντιστροφέα σε μια βιβλιοθήκη τυποποιημένων κυκλωμάτων και όλες οι άλλες εισοδοί πυλών θα χαρακτηρίζονται με όρους αυτής της μονάδας.

Οι λογικοί εξομοιωτές είναι επαρκείς για καλά προσδιορισμένα κυκλώματα CMOS που έχουν κανονικά λογικά αντίστοιχα. Είναι σχετικά γρήγοροι οπότε και είναι κατάλληλοι για μεγάλα κυκλώματα. Αυτό εν μέρει οφείλεται στις μηχανές υλικού που υπολογίζουν τον αλγόριθμο εξομοίωσης. Οι πρώτοι εξομοιωτές λογικής δεν ήταν κατάλληλοι για τρανζίστορ που χρησιμοποιούνταν ως πύλες μετάδοσης, όπως οι πολυπλέκτες μετάδοσης πύλης, οι μνήμες, ή η λογική με πύλες διέλευσης. Υπάρχουν όμως εξομοιωτές λογικής που διαχειρίζονται κυκλώματα τρανζίστορ με περιορισμούς.

4. Εξομοιωτές σε Επίπεδο Διακοπών (Switch-level)

Οι εξομοιωτές σε επίπεδο διακοπών συγχωνεύουν τεχνικές εξομοιωτών λογικής με μερικές τεχνικές εξομοίωσης κυκλωμάτων. Αυτό γίνεται με το να μοντελοποιούν τα τρανζίστορ ως διακόπτες. Οι CMOS πύλες μοντελοποιούνται είτε ως δομές οδήγησης «πάνω» (pull-up) είτε ως δομές οδήγησης «κάτω» (pull-down), για τις οποίες υπολογίζεται δυναμικά μία αντίσταση προς την τροφοδοσία ή τη γη. Η αντίσταση αυτή χρησιμοποιείται μαζί με τη χωρητικότητα εξόδου της πύλης για τον προσδιορισμό των χρόνων ανόδου και καθόδου.

Οι εξομοιωτές σε επίπεδο διακοπών δεν παρουσιάζουν την ανάγκη για ρύθμιση της ανάλυσης του κυκλώματος πυλών CMOS, αλλά δεν έχουν και κάποια όρια ακρίβειας κατά τον υπολογισμό κυκλωμάτων πυλών μετάδοσης μιας και συνήθως είναι υπερβολικά απαισιόδοξοι. Επιπροσθέτως, μερικές δομές κυκλωμάτων παρουσιάζουν το φαινόμενο της παθολογικής τοπολογίας (pathological topology), κάτι που προκαλεί σύγχυση στους αλγορίθμους της εξομοίωσης.

Εάν κάποιος σχεδιάζει σε επίπεδο ημιαγωγού, ένας εξομοιωτής σε επίπεδο διακοπών παρέχει μία πρώτης τάξης προσέγγιση της εξομοίωσης. Γενικά, σε μια τέτοια σχεδίαση, οποιοσδήποτε εξομοιωτής με

μειωμένο σύνολο εξομοιώσεων, σε συνδυασμό με έναν εξομοιωτή χρονισμού είναι χρήσιμος.

5. Εξομοιωτές μικτού-τρόπου (mixed-mode)

Σήμερα υπάρχουν πολλοί καλοί εμπορικοί εξομοιωτές που συνδυάζουν τα καλά σημεία όλων των προηγούμενων εξομοιωτών σε έναν. Έτσι κάθε κυκλωματικό συγκρότημα μπορεί να εξομοιωθεί στο κατάλληλο επίπεδο. Για παράδειγμα, ένα κύκλωμα λογικής με τυποποιημένα κύτταρα μπορεί να εξομοιωθεί στο λογικό επίπεδο, μία μνήμη μπορεί να εξομοιωθεί στο λειτουργικό επίπεδο και ένας βρόχος κλειδώματος φάσης σε επίπεδο κυκλώματος. Με αυτόν τον τρόπο, οι ακριβοί υπολογιστικοί χρόνοι θα δαπανηθούν μόνο στα κυκλώματα που απαιτούν λεπτομερή και εξειδικευμένη εξομοίωση.

2.3.3 Έλεγχος της σχεδίασης.

Πέρα από τους διάφορους τύπους εξομοίωσης τους οποίους χρησιμοποιούν οι σχεδιαστές υπάρχουν ορισμένες επιπλέον διαδικασίες, που καθορίζουν κάποια ιδιαίτερα στοιχεία του κυκλώματος μας, και μπορούν να βοηθήσουν στην βελτιστοποίηση της τελικής σχεδίασης. Αυτές οι διαδικασίες πραγματοποιούνται με ειδικά προγράμματα λογισμικού. Βασικά πρόκειται για τους εξής έλεγχους:

- Επαλήθευση χρονισμού. Για την εύρεση τυχόν προβλημάτων.
- Έλεγχος ισομορφισμού δικτύου.
- Σύγκριση των κομβικών καταλογών.

1. Επαληθευτές Χρονισμού (Timing Verifiers).

Για τον έλεγχο τυχόν προβλημάτων χρονισμού, οι σχεδιαστές επαλήθευαν τη λειτουργικότητα χρησιμοποιώντας εξομοιωτές μοναδιαί-

ας καθυστέρησης. Στη συνέχεια, εκτελούσαν την εξομοίωση με κανονικές καθυστερήσεις. Με αυτόν τον τρόπο όμως ο εντοπισμός των προβλημάτων εξαρτιόταν από το μοντέλο που είχε χρησιμοποιηθεί. Ένας επαληθευτής χρονισμού, το ειδικό πρόγραμμα για αυτή την δουλειά, ακολουθεί μια διαφορετική προσέγγιση για τη χρονική επαλήθευση. Εδώ, οι καθυστερήσεις διαμέσου όλων των μονοπατιών σε ένα κύκλωμα, αξιολογούνται με έναν τρόπο που δεν εξαρτάται από το διάνυσμα εισόδου και στο χρήστη παρέχονται οι πληροφορίες για αυτές τις καθυστερήσεις.

Οι επαληθευτές CMOS, από κοινού με τους εξομοιωτές, μπορούν να λειτουργούν σε επίπεδο πύλης ή τρανζίστορ. Το προς ανάλυση κύκλωμα εξετάζεται πρώτα στατικά για να προσδιορισθούν οι κατευθύνσεις ροής των σημάτων σε όλα τα τρανζίστορ. Αυτό είναι αναγκαίο προκειμένου να υπολογισθούν μόνο εκείνες οι καθυστερήσεις που είναι κρίσιμες κατά την πραγματική λειτουργία του κυκλώματος. Κάθε τρανζίστορ εξετάζεται και η διεύθυνση της ροής του σήματος υπολογίζεται χρησιμοποιώντας ορισμένους κανόνες. Οι κανόνες αυτοί μπορούν να χωριστούν στις εξής κατηγορίες:

- Κανόνες μεθοδολογίας σχεδίασης κυκλώματος.
- Ηλεκτρικοί κανόνες.
- Κανόνες οριζόμενους από το χρήστη.

Υπολογίζει μια καθυστέρηση RC για κάθε κόμβο. Στη συνέχεια τις κατατάσσει αρχίζοντας από τη μεγαλύτερη. Τα μονοπάτια με καθυστέρηση αξιολογούνται με τα κατάλληλα ρολόγια.

Ένας αναλυτής χρονισμού που χρησιμοποιείται για σχεδίαση σε επίπεδο ημιαγωγού, μπορεί να εφοδιάσει τον σχεδιαστή με ταχύτατη ανάδραση σχετικά με τα κρίσιμα μονοπάτια. Συνδυαζόμενος με έναν εξομοιωτή διακόπτων, για γρήγορη συνολική εξομοίωση λειτουργικότη-

τας, έναν εξομοιωτή χρονισμού για λεπτομερή επαλήθευση μονάδων και ένα πρόγραμμα κυκλωματικής ανάλυσης για την αξιολόγηση των κρίσιμων μονοπατιών, δημιουργεί ένα ισχυρότατο σύστημα επαλήθευσης. Οι εξομοιωτές χρονισμού που υλοποιούνται σε επίπεδο πυλών επιτρέπουν παρόμοια ποιότητα, κατεβάζοντας τη σχεδίαση σε επίπεδο πυλών, η οποία είναι επαρκής για μια ευρεία γκάμα συστημάτων CMOS.

Παγίδα για τους αναλυτές χρονισμού αποτελούν τα λανθασμένα και μυστικά μονοπάτια. Τα λανθασμένα μονοπάτια προκύπτουν γιατί ο αναλυτής χρονισμού δεν μπορεί να ξέρει πώς χρησιμοποιείται το κύκλωμα. Για παράδειγμα, δεν μπορεί να ξέρει αν ένας διάδρομος χρησιμοποιείται μόνο για διάβασμα ή εγγραφή ή και τα δύο. Το πρόβλημα αυτό αντιμετωπίζεται μπλοκάροντας τα λανθασμένα μονοπάτια, τη στιγμή που αναγνωρίζονται.

Τα μυστικά μονοπάτια είναι μονοπάτια τα οποία για κάποιους λόγους ο αναλυτής χρονισμού δεν τα αναγνωρίζει. Εμφανίζονται σε περίπλοκα χρονικά σχήματα που δεν αναγνωρίζονται από τους παλιούς αναλυτές χρονισμού. Για το λόγο αυτό, είναι φρόνιμο να εξομοιώνονται χρονικά τα κυκλώματα ως υποστήριξη, εκτός και αν είμαστε σίγουροι ότι ο αναλυτής χρονισμού μπορεί να αναγνωρίσει όλα τα χρονικά σχήματα, πράγμα που ποτέ δεν είναι σίγουρο.

2. Ισομορφισμός Δικτύου

Ένα ηλεκτρικό δίκτυο μπορεί να παρασταθεί με ένα πολύγωνο όπου οι κορυφές του είναι τα στοιχεία του κυκλώματος, όπως τα τρανζίστορ MOS, τα διπολικά τρανζίστορ, οι δίοδοι, οι αντιστάσεις και οι χωρητικότητες. Οι ακμές είναι οι διασυνδέσεις μεταξύ των στοιχείων. Αυτά είναι οι ηλεκτρικοί κόμβοι του δικτύου. Το πολύγωνο αυτό μπορεί με τη σειρά του να παρασταθεί από κάποια δομή δεδομένων και να προσπελαστεί από μία πληθώρα ρουτινών λογισμικού, με πληροφορίες για τις ιδιότητες των ηλεκτρικών συνδέσεων του κυκλώματος. Δύο ηλεκτρικά

κυκλώματα είναι πανομοιότυπα εάν τα πολύγωνα που τους αντιπροσωπεύουν είναι ισομορφικά, κάθε πολύγωνο όταν έχει τον ίδιο αριθμό στοιχείων και για κάθε στοιχείο στο ένα κύκλωμα υπάρχει ένα ισότιμο στοιχείο στο άλλο κύκλωμα. Τα ισότιμα στοιχεία έχουν πανομοιότυπες ιδιότητες, όπως:

- Πλάτη και μήκη των τρανζίστορ.
- Τιμές αντίστασης.
- Τον αριθμό των συνδέσεων για κάθε ακροδέκτη (π.χ. πύλη, υποδοχή, πηγή).

Κάθε κόμβος σε ένα κύκλωμα έχει έναν ισότιμο κόμβο στο άλλο κύκλωμα. Έχουν πανομοιότυπες ιδιότητες, όπως:

- Τον ίδιο αριθμό από πηγές και υποδοχές που συνδέονται σ' αυτούς.
- Και τον ίδιο αριθμό από πύλες (πύλη MOS).

Ο ισομορφισμός δικτύου χρησιμοποιείται για να αποδείξει ότι δύο κυκλώματα με διαφορετικές μορφές είναι ισοδύναμα και για αυτό θα πρέπει να λειτουργούν ισοδύναμα. Χρησιμοποιείται πιο συχνά για να αποδεικνύει ότι ένα layout είναι ισοδύναμο με ένα κύκλωμα σε σχηματικό σχέδιο ή από ένα κύκλωμα HDL. Άλλες χρήσεις περιλαμβάνουν την απόδειξη τον ότι δύο σχέδια ή δύο layout είναι ισοδύναμα.

Η διαδικασία σύγκρισης δύο κυκλωμάτων κοινώς αναφέρεται ως «σύγκριση κομβικών καταλογίων». «ισομορφισμός δικτύου» ή LVS (layout versus schematic = φυσικό σχέδιο έναντι σχηματικού). Για παράδειγμα, το layout ενός ολοκληρωμένου κυκλώματος τυποποιημένου κυττάρου μπορεί να παρασταθεί από κλειστά κουτιά (από την ιδιόκτητη βιβλιοθήκη του κατασκευαστή). Στη συνέχεια, δημιουργείται ένα αρχείο που περιέχει μόνο τη διασύνδεση του κυκλώματος. Αυτή αντιστοιχεί με

το δίκτυο που προέκυψε από την εξαγωγή της δομικής περιγραφής μέχρι το επίπεδο των πυλών (αλλά όχι των τρανζίστορ).

Συχνά χρησιμοποιείται η έννοια της «λογικής ισοδυναμίας» (logical equivalency). Αυτή επιτρέπει σε ένα σύστημα layout να εναλλάσσει τη σειρά των σημάτων στα σειριακά τρανζίστορ των λογικών πυλών σχετικά με τον προσδιορισμό της δομής, για ευκολία στο φυσικό σχέδιο. Ενώ αυτό είναι πολύ καλό για λογικά κυκλώματα, μπορεί να εμφανιστούν κάποια προβλήματα αν χρησιμοποιηθεί σε κυκλώματα υψηλής επίδοσης, ή μικτών σημάτων.

3. Σύγκριση Κομβικών Καταλόγων

Αν μία σχηματική ή κυκλωματική περιγραφή χρησιμοποιείται για τον ορισμό ενός IC, σε κάποιο στάδιο δημιουργείται ένα φυσικό σχέδιο. Κάτι τέτοιο μπορεί να γίνει αυτόματα, όπως στην περίπτωση διάταξης πυλών ή συστημάτων τοποθέτησης και διασύνδεσης με τυποποιημένα κύτταρα.

Εναλλακτικά, ο σχεδιαστής μπορεί να σχεδιάσει το layout μόνος του. Στην ιδανική περίπτωση, τα ονόματα των σημάτων μεταξύ παράλληλων εκφράσεων θα έπρεπε να ήταν τα ίδια, επιτρέποντας έτσι την εύκολη σύγκριση μεταξύ τον επιθυμητού και τον πραγματικού κυκλώματος. Αυτό θα ήταν δυνατό να γίνει με την αντιστοίχιση των ονομάτων των κόμβων, του αριθμού και τύπου των στοιχείων που συνδέονται σε κάθε κόμβο του σχηματικού και αυτά του φυσικού σχεδίου.

Στην πραγματικότητα, τα ονόματα των σημάτων συχνά παραλείπονται από τους εσωτερικούς κόμβους ενός κυκλώματος (ειδικά στο φυσικό σχέδιο) και εφαρμόζονται μόνο στις θύρες I/O. Έτσι όμως δημιουργείται πρόβλημα στη σύγκριση δύο περιγραφών στοιχείων που δεν έχουν ονοματιστεί πλήρως. Οπότε, προγράμματα που επαληθεύ-

ουν την ισοδυναμία δύο ανώνυμων περιγραφών στοιχείων ή την έλλειψη ισοδυναμίας, κρίνονται αναγκαία.

Τυπικό παράδειγμα προγράμματος που επιτελεί αυτή τη λειτουργία είναι το GEMINI. Η ταυτότητα του κάθε τρανζίστορ καθορίζεται στο υπό δοκιμή κύκλωμα και στο κύκλωμα αναφοράς. Τα στοιχεία αυτής της ταυτότητας είναι:

- Βαθμό οδήγησης εισόδου (Fan-in)
- Βαθμό οδήγησης εξόδου (Fan-out)
- Τύπο τρανζίστορ
- Κομβικά όρια συνδεδεμένα στο τρανζίστορ

Τα υπό δοκιμή και τα κυκλώματα αναφοράς στη συνέχεια ελέγχονται επαναληπτικά ώστε να συσχετιστούν τα τρανζίστορ. Οι ανακολουθίες είτε επισημαίνονται με αλληλεπιδρώντα τρόπο είτε με έναν κατάλογο των ισοδύναμων και ανόμοιων κόμβων.

2.3.4. ΦΥΣΙΚΗ ΣΧΕΔΙΑΣΗ (Layout)

Το φυσικό σχέδιο μπορεί να υλοποιηθεί μέσω κώδικα ή με αλληλεπιδρώντα συντάκτη γραφικών. Ωστόσο, ένας καλός έγχρωμος συντάκτης είναι απαραίτητος για τη διεξαγωγή ουσιαστικής βιομηχανικής φυσικής σχεδίασης. Οι συντάκτες φυσικής σχεδίασης, όπως και οι σχηματικοί συντάκτες, βασίζονται σε σχεδιαστικά συστήματα. Οι διαφορές προκύπτουν από τον τρόπο χειρισμού των χρωμάτων και καμιά φορά από το κατώτατο επίπεδο λεπτομερειών, αν και σε εξελεγμένα σχεδιαστικά συστήματα χρησιμοποιείται συνήθως ένας συντάκτης για όλες τις σχεδιάσεις διαγραμμάτων.

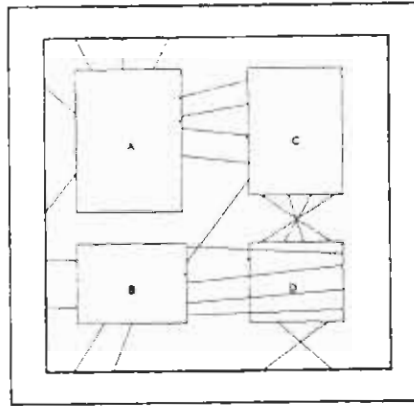
Λόγω του ότι υπάρχει ένας μεγάλος αριθμός από δεδομένα, δημιουργήθηκαν μέθοδοι απόρριψης των λεπτομερειών έτσι ώστε να μην

Λόγω του ότι υπάρχει ένας μεγάλος αριθμός από δεδομένα, δημιουργήθηκαν μέθοδοι απόρριψης των λεπτομερειών έτσι ώστε να μην είναι χρονοβόρα η σχεδίαση. Ένας συντάκτης φυσικής σχεδίασης πρέπει να συνεργάζεται με το Πρόγραμμα Ελέγχου Κανόνων Σχεδίασης (Design Rules Checking-DRC), ώστε να επιτρέπει τον αλληλεπιδρώντα έλεγχο για τυχόν λάθη ή παραλείψεις των κανόνων σχεδίασης, όπως επίσης και με ένα πρόγραμμα εξαγωγής φυσικού σχεδίου.

Χωροθέτηση (Floorplanning).

Χωροθέτηση ονομάζουμε την τακτοποίηση συγκροτημάτων φυσικών σχεδίων μέσα στο ολοκληρωμένο με σκοπό την ελαχιστοποίηση της επιφάνειας του ή συχνότερα την μεγιστοποίηση της ταχύτητας του.

Οι συντάκτες χωροθέτησης παρέχουν γραφικά ανάδρασης που δείχνει το μέγεθος και την τοποθέτηση των μονάδων χωρίς να παρουσιάζουν εσωτερικές λεπτομέρειες του φυσικού σχεδίου. Επιπροσθέτως, αυτοί οι συντάκτες παρέχουν πληροφορίες σύνδεσης μεταξύ των μονάδων, με τη μορφή των καλωδιακών διαγραμμάτων τύπου «ποντικοφωλιάς» (rat's nest), στα οποία οι συνδεόμενες θύρες ενώνονται με ευθείες γραμμές, τα διαγράμματα αυτά μπορούν να υποδεικνύουν τη σχετική πυκνότητα καλωδίωσης. Μερικοί συντάκτες παρέχουν έγχρωμες οθόνες σκίασης της πυκνότητας διασύνδεσης, που επιτρέπουν στους σχεδιαστές να διαπιστώσουν εάν υπάρχουν περιοχές με συνωστισμό και εάν υπάρχουν να τις διαμορφώσει όπως αυτός θέλει.



ΣΧΗΜΑ 2.7: Παράδειγμα χωροθέτησης.

Η χωροθέτηση μπορεί να γίνει και αυτόματα (βλέπε Tanner Tools Pro-SPR) αλλά πολλές φορές πολύ καλύτερη δουλειά γίνεται όταν πραγματοποιείται από τον σχεδιαστή. Συνήθως, η εργασία αυτή δεν είναι χρονοβόρα, ειδικά έχοντας δεδομένα τα αλληλεπιδρώντα εργαλεία και την κατάλληλη τεχνική για την πραγματοποίησή της.

2.3.5. Επαναπροσδιορισμός Παραμέτρων Σχεδίασης (BackAnnotation)

Από τη στιγμή που το φυσικό σχέδιο έχει κατασκευαστεί και υπάρχει ισομορφισμός μεταξύ του σχηματικού κυκλώματος και του κυκλώματος του φυσικού σχεδίου, μπορούμε να συσχετίσουμε τις χωρητικότητες που έχουν εξαχθεί από το φυσικό σχέδιο με αυτές του κυκλώματος και να εκτελέσει μία εξομοίωση ή ανάλυση χρονισμού για να επαληθεύσει την επίδοση του κυκλώματος.

Αυτό επιτυγχάνεται με τη σύγκριση της χωρητικότητας που εμφανίζεται σε κόμβο του φυσικού σχεδίου με αυτή στον αντίστοιχο κόμβο του σχηματικού, συνυπολογίζοντας τις χωρητικότητες που ήδη υπάρχουν στους κόμβους του σχηματικού. Για παράδειγμα, το σχέδιο μπορεί να έχει ήδη τα φορτία πηγής-υποδοχής και πύλης οφειλόμενα στα κυ-

2.3.6. Επαλήθευση Κανόνων Σχεδίασης

Αν η σχεδίαση της μάσκας ολοκληρώνεται χειρωνακτικά (ή ακύμα και αυτόματα), είναι απαραίτητο να επαληθευθεί ότι το φυσικό σχέδιο συμφωνεί προς τους γεωμετρικούς κανόνες σχεδίασης. Αυτό επιτυγχάνεται με έναν ελεγκτή κανόνων σχεδίασης. Οι ιεραρχικοί ελεγκτές κανόνων σχεδίασης είναι αναγκαίοι για τα μεγάλα κυκλώματα. Αυτοί οι ελεγκτές χρησιμοποιούν την ιεραρχία μιας σχεδίασης για να ελαττώσουν τον αριθμό των κυττάρων που πρέπει να ελεγχθούν ξεχωριστά.

1. Ελεγκτής κανόνων Σχεδίασης (Design Rules Cheking - DRC)

Οι κανόνες σχεδίασης είναι βασικά λίστες που αναφέρουν τα μικρότερα δυνατά πλάτη των στοιχείων των chip, της μικρότερες αποστάσεις που επιτρέπονται ανάμεσα σε διαδοχικά στοιχεία, τις προϋποθέσεις για την δημιουργία επικάλυψης (overlap) και άλλες διαστάσεις που συμβαδίζουν με μία δεδομένη διεργασία.

Όταν καθορίζονται οι κανονισμοί σχεδίασης μίας συγκεκριμένης διεργασία λαμβάνονται σοβαρά υπόψη διάφοροι παράγοντες όπως η ευθυγράμμιση των масκών και η μη γραμμικότητά τους, η συσκευασία του δισκίου, οι πλευρικές διαχύσεις (out diffusions), ο χαρακτήρας των αναπτύξεων του οξειδίου, η υπομόνευση των πλευρικών εγχαραξέων, η οπτική ακρίβεια καθώς και η σχέση όλων αυτών των παραγόντων με την απόδοση και την συμπεριφορά του κυκλώματος.

Οι κανονισμοί σχεδίασης και οι παράμετροι της κατασκευής μένουν σχετικά σταθεροί, με μικρές διαφοροποιήσεις σε κάποιες τιμές ανάλογα με την διεργασία. Δεδομένου ότι οι διαστάσεις των στοιχείων επηρεάζουν άμεσα την συμπεριφορά τους, και είναι αυτές που καθορίζονται από τους κανόνες σχεδίασης, είναι βασικό οι σχεδιαστές να τη-

ρούν σχολαστικά τους κανόνες αυτούς άπαξ και έχει επιλεγεί μια συγκεκριμένη διεργασία.

Οι ποιο πολλοί κατασκευαστές διαθέτουν ειδικά προγράμματα που ελέγχουν τα layout για να ανακαλύψουν τυχόν παραβιάσεις των κανονισμών. Σ' αυτή την περίπτωση εντοπίζονται και τα τυχόν λάθη του σχεδίου, μιας και συνήθως τα λάθη των Layout είναι παραβιάσεις των κανονισμών. Αυτός ο έλεγχος είναι απαραίτητος, ειδικά στα μεγάλα κυκλώματα με τα πολλά τρανζίστορ, γιατί σ' αυτά τα κυκλώματα μία και μοναδική παραβίαση των κανονισμών μπορεί να καταστρέψει ολόκληρο το κύκλωμα.

Η τήρηση των κανονισμών σχεδίασης και ο προσεκτικός έλεγχος για λάθη και παραβιάσεις των κανονισμών είναι βασικά βήματα της διαδικασία σχεδίασης ενός IC, γιατί εάν δεν γίνουν σωστά, το κύκλωμα μπορεί να μην λειτουργεί, πράγμα που θα είχε ολέθρια οικονομικά αποτελέσματα για τον κατασκευαστή.

2. Κανονισμοί Σχεδίασης CMOS.

Οι κανονισμοί της σχεδίασης της CMOS επεξεργασίας βρίσκονται στον πίνακα 2.2 . Πολλοί από αυτούς τους κανόνες και τους παράγοντες κατασκευής της CMOS μπορούν να χρησιμοποιηθούν αυτούσιοι, ή με μερικές διαφοροποιήσεις και για άλλες επεξεργασίες.

Η λίστα των κανονισμών ουσιαστικά καθορίζει τον τρόπο με τον οποίο οποιοδήποτε στοιχειώδες γεωμετρικό στοιχείο μιας μάσκας ευθυγραμμίζεται με τα υπόλοιπα στοιχεία της μάσκας και των άλλων μασκών. Συνήθως αφήνονται κάποια περιθώρια διακύμανσης, δηλώνοντας την ελάχιστη δυνατή τιμή που μπορεί να πάρει ένα μέγεθος, εκτός από ορισμένες περιπτώσεις που δηλώνουν την τιμή ενός μεγέθους επακριβώς.

Γενικά ένας σχεδιαστής μπορεί να χρησιμοποιήσει, κατά την κρίση του, όσο μεγάλες διαστάσει επιθυμεί, όμως για λόγους αποδοτικότητας και καλής συμπεριφοράς, η ενεργή τιμή του chip πρέπει να είναι τόσο μικρότερη όσο μπορεί να παραμείνει πρακτική. Οι κανόνες προκύπτουν υπό την προϋπόθεση ότι τα μεγάλα κυκλώματα με τα πολλά στοιχεία, ακόμα και αυτά των μικρότερων διαστάσεων πρέπει να έχουν καλή απόδοση και συμπεριφορά.

Στον πίνακα 2.2 δίνονται δύο διαστάσεις, αυτές της πρώτης στήλης αφορούν μία επεξεργασία CMOS 3μ της MOSIS, ενώ αυτές της δεύτερης είναι οι τιμές του συντελεστή λ, που εάν πολλαπλασιαστεί με το μέγεθος της διαδικασίας (εδώ τα 3μ), μας δίνει τις αντίστοιχες διαστάσεις. Χρησιμοποιώντας το λ μπορούμε να έχουμε ένα σετ κανονισμών και δηλώνοντας διαφορετικό λ για κάθε διαφορετική διεργασία να έχουμε, απλά και γρήγορα, τις σωστές διαστάσεις.

Οι γεωμετρία της τελικής μάσκας μπορεί να διαφέρει από αυτή που έχει καθορίσει ο σχεδιαστής. Οι ακριβής γεωμετρία που καθορίζει ο σχεδιαστής ονομάζοντας 'drawn features' ενώ η αλλαγή των διαστάσεων ενός σχεδίου ονομάζεται size adjust. Το size adjust γίνεται με την βοήθεια των υπευθύνων κατασκευής. Και προϋποθέτει τον εντοπισμό και προκαθορισμό των επιπτώσεων φαινομένων όπως η πλευρική απόξυση ή διάχυση (out diffusion) που κάνουν τις πραγματικές διαστάσεις των στοιχείων να διαφέρουν απ' αυτές που προσδιόρισε αρχικά ο σχεδιαστής. Το size adjust χρησιμοποιείται προκειμένου οι διαστάσεις των στοιχείων στο πυρίτιο μετά την κατασκευή να είναι αριθμητικά ίσες με τα drawn features του σχεδιαστή. Μερικές από τις βασικές διαστάσεις των στοιχείων των ICs και οι ακόλουθες :

p-well (τάφρος p) : Είναι η απόσταση μεταξύ δύο p-τάφρων, γενικά είναι πολύ μεγάλη, επιτρέποντας έτσι την ύπαρξη χώρου για τις πλευρι-

κές διαχύσεις. Επειδή η τάφρος p - είναι αρκετά μεγάλη (3 μ - 4 μ), αντίστοιχα μεγάλη είναι και η πλευρική διάχυση.

Via : Το στρώμα via χρησιμοποιείται για την διασύνδεση των metal1 και metal2. Οι κανόνες σχεδίασης που αφορούν το Via είναι όμοιοι με αυτούς των οπών σύνδεσης. Και στις δύο περιπτώσεις άλλωστε πρόκειται για διάνοιξη οπών μέσα από παχύ στρώμα οξειδίου.

Pads : Αφορά τις διαστάσεις για τα σημεία σύνδεσης με τα pins, οι οποίες δεν έχουν ακολουθήσει την πορεία των ICs προς την σμίκρυνση. Οι διαστάσεις των ινών που χρησιμοποιούνται για την σύνδεση με τα σύρματα των pins, δεν έχουν αλλάξει εδώ και αρκετό καιρό, οπότε είναι απαραίτητα μεγάλα pads και ενδιάμεσος χώρος. Μικρότερα pads χρησιμοποιούνται σε διάφορα κυκλώματα σαν σημεία επαφής ειδικών probe κατά την διαδικασία του debugging.

Active : Ένα size adjust που ονομάζεται μερικές φορές mask bias χρησιμοποιείται για να προεθυγραμμίσει τις διαστάσεις των στοιχείων στην μάσκα active έτσι ώστε τα διορθωμένα αυτά στοιχεία να έχουν τις διαστάσεις που τους είχε δώσει ο σχεδιαστής να προσεγγίσουν δηλαδή τα drawn features. Έτσι αντισταθμίζουμε την καταπάτηση της περιοχής active από το πεδίο καθώς και την μείωση του πλάτους κατά την διαδικασία κατασκευής. Σημειώνεται ότι παρέχετε μια μεγάλη περιοχή μεταξύ των active και των poly στρωμάτων για να διοχετευθεί η πλευρική διάχυση της p - τάφρου.

Poly : Οι κανόνες σχετικά με την poly επικάλυψη υπάρχουν προκειμένου να αντισταθμιστούν τα λάθη ευθυγράμμισης των масκών poly και active. Αν και η διαδικασία του size adjust είναι αυτόματη, αυτό ισχύει μόνο για μικρές διαφοροποιήσεις στην ευθυγράμμιση των масκών αυτών.

p select: Οι κανόνες για p+ select χρησιμοποιούνται πρωτίστως για να αποτραπούν οι διαφοροποιήσεις στην ευθυγράμμιση της μάσκας με τις μάσκες active και poly.

-

Κεφάλαιο 2^ο**ΠΙΝΑΚΑΣ 2.2:** Κανόνες σχεδίασης CMOS

	Dimensions	
	Microns	Scalable
1. p-well (CIF brown, Mask # 1)		
1.1 Width	5	4 λ
1.2 Spacing (different potential)	15	10 λ
1.3 Spacing (same potential)	9	6 λ
2. Active (CIF green, Mask # 2)		
2.1 Width	4	2 λ
2.2 Spacing	4	2 λ
2.3 p ⁺ active in n-subs to p-well edge	8	6 λ
2.4 n ⁺ active in n-subs to p-well edge	7	5 λ
2.5 n ⁺ active in p-well to p-well edge	4	2 λ
2.6 p ⁺ active in p-well to p-well edge	1	1 λ
3. Poly (POLY I) (CIF Red, Mask # 3)		
3.1 Width	3	2 λ
3.2 Spacing	3	2 λ
3.3 Field poly to active	2	1 λ
3.4 Poly overlap of active	3	2 λ
3.5 Active overlap of poly	4	2 λ
4. p ⁺ select (CIF Orange, Mask # 4)		
4.1 Overlap of active	2	1 λ
4.2 Space to n ⁺ active	2	1 λ
4.3 Overlap of channel	3.5	2 λ
4.4 Space to channel	3.5	2 λ
4.5 Space to p ⁺ select	3	2 λ
4.6 Width	3	2 λ
5. Contact (CIF Purple, Mask # 6)		
5.1 Square contact, exactly	3*3	2 λ * 2 λ
5.2 Rectangular contact, exactly	3*8	2 λ * 6 λ
5.3 Space to different contact	3	2 λ
5.4 Poly overlap of contact	2	1 λ
5.5 Poly overlap in direction of metal 1	2.5	2 λ
5.6 Space to channel	3	2 λ
5.7 Metal 1 overlap of contact	2	1 λ
5.8 Active overlap of contact	2	1 λ
5.9 p ⁺ select overlap of contact	3	2 λ
5.10 Subs./ well shorting contact, exactly	3*8	2 λ * 6 λ

ΣΥΝΕΧΕΙΑ ΠΙΝΑΚΑ 2.2

6. Metal 1 (CIF Blue, Mask # 7)		
6.1 Width	3	2 λ
6.2 Spacing	4	3 λ
6.3 Maximum current density	0.8 m A/ μ	0.8 m A/ μ
7. Via (CIF Purple Hatched, Mask # C1)		
7.1 Size, exactly	3*3	2 λ *2 λ
7.2 Separation	3	2 λ
7.3 Space to poly edge	4	2 λ
7.4 Space to contact	3	2 λ
7.5 Overlap by metal 1	2	1 λ
7.6 Overlap by metal 2	2	1 λ
7.7 Space to active edge	3	2 λ
8. Metal 2 (CIF Orange Hatched, Mask # C2)		
8.1 Width	5	3 λ
8.2 Spacing	5	3 λ
8.3 Bonding pad size	100*100	100 μ
8.4 Probe pad size	75*75	*100 μ
8.5 Bonding pad separation	50	75 μ *75
8.6 Bonding to probe pad	30	μ
8.7 Probe pad separation	30	50 μ
8.8 Pad to circuitry	40	30 μ
8.9 Maximum current density	0.8 m A/ μ	30 μ 40 μ 0.8 m A/ μ
9. Passivation (CIF Purple Dashed, Mask # 8)		
9.1 Bonding pad opening	90*90	90 μ *90
9.2 Probe pad opening	65*65	μ 65μ*65 μ
10. Metal 2 crossing coincident metal 1 and poly		
10.1. Metal 1 to poly edge spacing when crossing metal 2	2	1 λ
10.2. Rule domain	2	1 λ
11. Electrode (POLY II) (CIF Purple Hatched, Mask # A1)		
11.1 Width	3	2 λ
11.2 Spacing	3	2 λ
11.3 POLY I overlap of POLY II	2	1 λ
11.4 Space to contact	3	2 λ

2.3.7. Εξαγωγή Φυσικού Σχεδίου

Μετά την ολοκλήρωση όλων των ελέγχων και έχοντας πραγματοποιήσει την χωροθέτηση στο φυσικό σχέδιο, αυτόματα ή χειρονακτικά, σειρά έχει η εξαγωγή του τελικού layout για κατασκευή.

Οι εξαγωγείς φυσικού σχεδίου ελέγχουν την αλληλεξάρτηση των μασκών του φυσικού σχεδίου για να προσδιορίσουν την ύπαρξη των τρανζίστορ και των άλλων στοιχείων. Τα προγράμματα εξαγωγής σχεδίου δίνονται μαζί με τους ελεγκτές κανόνων σχεδίασης. Συνήθως, πέρα από τη σύνδεση των τρανζίστορ προσδιορίζονται και οι παρασιτικές χωρητικότητες και οι αντιστάσεις. Οι αλγόριθμοι αυτοί χρησιμοποιούν τομές γεωμετρικών σχημάτων για την αναγνώριση των ενεργών στοιχείων.

Η ανάγκη ύπαρξης τέτοιων προγραμμάτων αναμένεται να μειωθεί καθώς ανώτερου επιπέδου σχεδιαστικά προγράμματα παρέχουν μονάδες «διορθωμένες από κατασκευή». Ωστόσο κάποιας μορφής εξαγωγή φυσικού σχεδίου πρέπει να πραγματοποιηθεί για τη δημιουργία ορισμένων αρχείων για χρήση σε προγράμματα σύγκρισης κομβικών καταλογών ή κάποιο άλλο είδος ελέγχου.

2.3.8. Παραγωγή Μασκών (Pattern Generation)

Η παραγωγή μασκών είναι το τελευταίο βήμα στην ακολουθία που ξεκινά με την αρχιτεκτονική τον ολοκληρωμένου και τελειώνει με μία βάση δεδομένων κατάλληλη για τη βιομηχανία. Είναι η φάση της δημιουργίας των αρχείων που χρησιμοποιούνται για την κατασκευή των μασκών. Με την πάροδο του χρόνου, η μορφή αυτών των αρχείων έχει αλλάξει, καθώς έχουν αλλάξει και οι μέθοδοι κατασκευής των μασκών.

Αρχικά, τα αρχεία αυτά οδηγούσαν επίπεδους σχεδιογράφους (plotters) που χάραζαν την μάσκα πάνω σε ειδικό υλικό. Στη σημερινή

εποχή, οι περισσότερες ημιαγώγιμες διαδικασίες χρησιμοποιούν μάσκες που δημιουργούνται με ηλεκτρονική δέσμη, δηλαδή δημιουργούνται από την έκθεση ενός καλυμμένου μεταλλικού φιλμ σε μία εστιασμένη ηλεκτρονική ακτίνα. Οι μηχανές αυτές εκθέτουν τη μάσκα σε ένα είδος σάρωσης πλέγματος, παρόμοιο με αυτού των τηλεοράσεων.

Μία κοινή μορφή είναι το Electron Beam Exposure System, EBES. Τα δεδομένα συντίθενται σε ορθογώνια, παραλληλόγραμμα ή τραπεζοειδή. Με δεδομένη τη σύλληψη του φυσικού σχεδίου για ένα σχεδιαστικό σύστημα, πρέπει να εκτελεσθούν τα παρακάτω βήματα για τη δημιουργία ενός αρχείου EBES :

- Συνδυασμό στρώσεων για τη δημιουργία της επιθυμητής μάσκας (π.χ. όλες οι η+ και vddn περιοχές σε μία ηplus μάσκα).
- Δεδομένα που επιδρούν στις διαστάσεις (π.χ. συστολή ή εξόγκωση για τον υπολογισμό επιδράσεων διαδικασίας όπως υποχάραξη (under-etching) ή πλαγιοπλευρη σχεδίαση).
- Κανονικοποίηση της απορρέουσας γεωμετρίας σε όρους βασικών σχημάτων (π.χ. ορθογώνια).
- Ταξινόμηση των σχημάτων που προκύπτουν κατά σειρά σάρωσης.
- Ορισμό πολικότητας της μάσκας (π.χ. σκοτεινό πεδίο ή φωτεινό πεδίο).
- Έξοδος δεδομένων σε κατάλληλη μορφή.

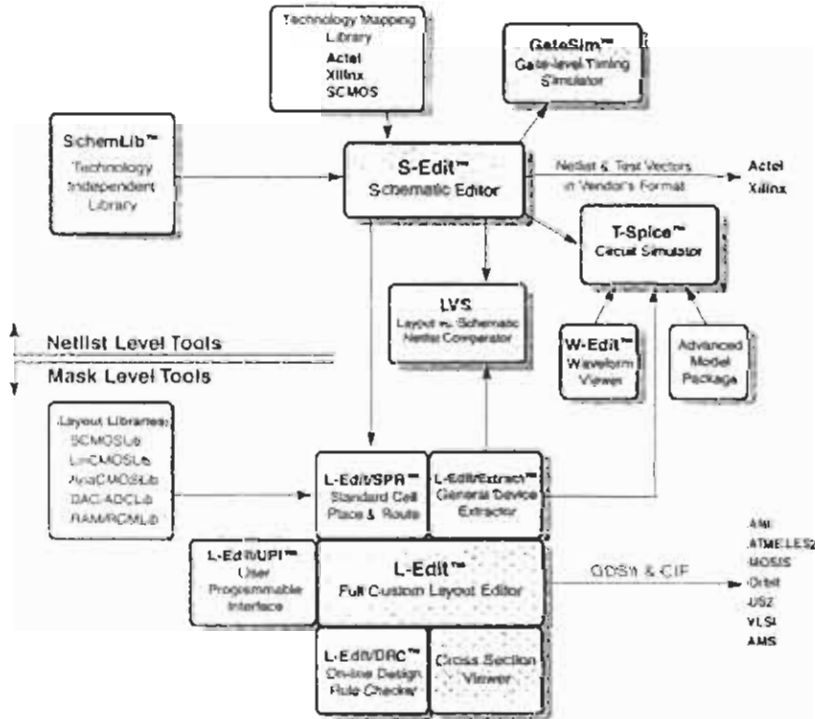
Επειδή είναι το τελευταίο βήμα στη διαδικασία σχεδίασης και είναι δύσκολο να εντοπιστούν ατέλειες στη μάσκα, οι κατασκευαστές συχνά σχηματίζουν δυο ή περισσότερα δείγματα ψηφίδας σε ένα πλέγμα μονής-μάσκας και στη συνέχεια χρησιμοποιούν διαφορετικές τεχνικές για τον εντοπισμό των διαφορών μεταξύ ζευγαριών ομοίων δειγμάτων, ώστε να εντοπίσουν ατέλειες της μάσκας.

Εδώ τελειώνει και η διαδικασία σχεδίασης ενός ολοκληρωμένου με ένα, οποιοδήποτε, CAD σύστημα. Τα στάδια που περιγράψαμε πιο πάνω ισχύουν για όλα τα συστήματα CAD, κάποιες μικρές διαφορές υπάρχουν βέβαια, αλλά οφείλονται στους κατασκευαστές του κάθε συστήματος και το πως προσεγγίζουν την σχεδίαση. Όπως έχουμε αναφέρει ήδη, η επιλογή του CAD είναι καθοριστική για το τελικό αποτέλεσμα της σχεδίασης μας. Πρέπει να γίνετε έχοντας υπόψη όλες τις ιδιαιτερότητες του συγκεκριμένου συστήματος αλλά και βάση εκείνων των προϋποθέσεων που διασφαλίζουν την ποιότητα του τελικού αποτελέσματος.

3^ο ΚΕΦΑΛΑΙΟ

3.1 Περιγραφή των Tanner Tools

Το CAD που χρησιμοποιήσαμε για την σχεδίαση μας ήταν το σύστημα Tanner Tools™, ένα πλήρες πακέτο σχεδίασης ολοκληρωμένων κυκλωμάτων, της Tanner Research Inc. Το πακέτο αυτό μπορεί να χρησιμοποιηθεί για σχεδίαση σε PC, UNIX και Macintosh. Τα προγράμματα που περιέχει είναι ανεξάρτητα μεταξύ τους και μπορούν να συνεργαστούν και με σχεδιαστικά άλλων εταιριών. Η δομή του σχεδιαστικού αυτού πακέτου δίνεται στο Block διάγραμμα του σχήματος 3.1.



ΣΧΗΜΑ 3.1: Block διάγραμμα των Tanner Tools

Τα Tanner Tools αποτελούνται από τα εξής επιμέρους προγράμματα:

1. Προγράμματα επιπέδου κομβικών καταλόγων:

T-Spise™: εξομοιωτής αναλογικών / ψηφιακών κυκλωμάτων.

GateSim™: εξομοιωτής επιπέδου πυλών.

W-Edit™: πρόγραμμα απεικόνισης κυματομορφών.

L-Edit/Therm™: τρισδιάστατος θερμικός αναλυτής.

S-Edit™: Σχηματικός Editor

LVS™: συγκριτής netlist (layout-versus-schematic)

2. Προγράμματα Επιπέδου Ημιαγωγού:

L-Edit™: editor φυσικού σχεδίου.

L-Edit/SPR™: πρόγραμμα αυτόματης τοποθέτησης και σύνδεσης τυποποιημένων στοιχείων.

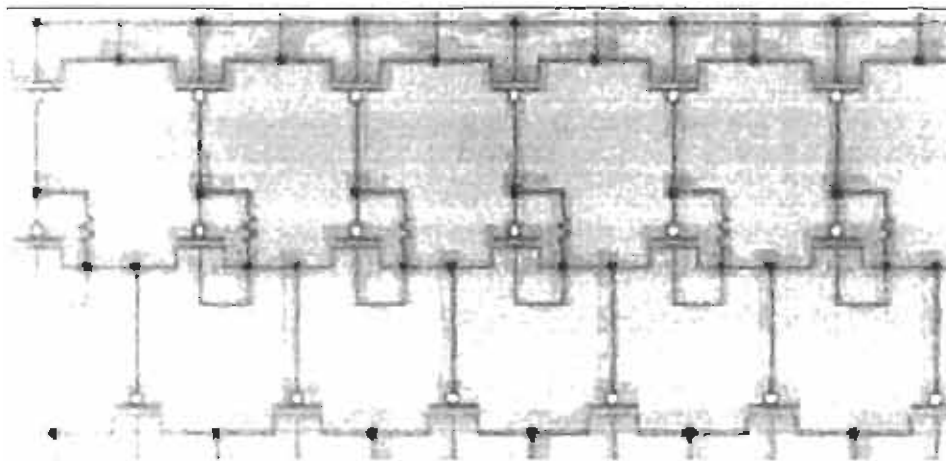
L-Edit/extract: εξαγωγή φυσικού σχεδίου.

L-Edit/DRC™: πρόγραμμα ελέγχου των κανόνων σχεδίασης.

Η επικοινωνία των προγραμμάτων της πρώτης ομάδας, βασίζεται στην δημιουργία κομβικών καταλόγων (netlist) και την χρήση βιβλιοθηκών τυποποιημένων μοντέλων (standard cells). Για την δημιουργία των περισσότερων netlist χρησιμοποιούμε το πρόγραμμα **Net-tran**, διαδικασία η οποία δεν είναι εμφανής στο διάγραμμα του σχ. 3.1. Ορισμένες μορφές netlist μπορούν να εξαχθούν αυτόματα από το SEDIT.

Στις παραγράφους που ακολουθούν γίνεται μία συνοπτική περιγραφή αυτών των προγραμμάτων μαζί με διευκρινήσεις και παραδείγματα, για να κατανοηθεί καλύτερα η διαδικασία της σχεδίασης με τα Tanner Tools™.

S-Edit™



Ο Schematic Editor των Tanner Tools

Το S-Edit είναι ο σχηματικός editor των Tanner Tools. Στον editor αυτόν μπορούμε να δούμε σχεδιάσεις που έχουν γίνει κατά το παρελθόν. Μπορούμε να δημιουργήσουμε ή να τροποποιήσουμε σχηματικές σχεδιάσεις.

Το περιβάλλον σχεδίασης είναι παραθυρικό και ιδιαίτερα φιλικό στον χρήστη. Αποτελείται από τρεις γραμμές εργαλείων, τα μενού εντολών και τον χώρο εργασίας Σχ. 3.2.

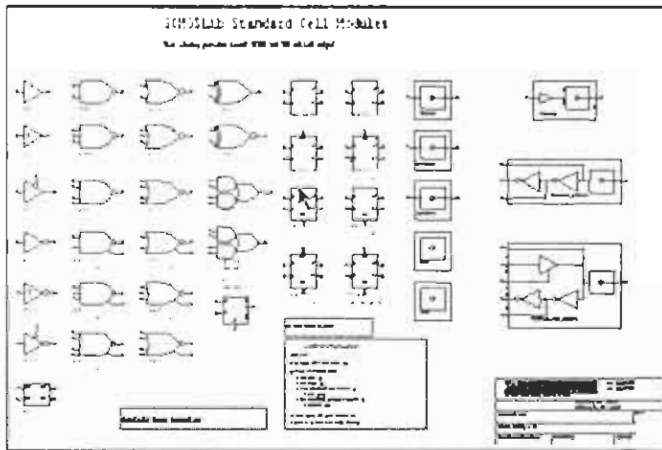


ΣΧΗΜΑ 3.2. Το περιβάλλον εργασίας του Sedit

Οι σχεδιάσεις μας εδώ γίνονται με την χρήση έτοιμων στοιχείων, τα οποία προμηθευόμαστε από αρχεία βιβλιοθηκών. Υπάρχουν δύο κατηγορίες βιβλιοθηκών, η TDB (Technology Dedicated Base) και η TIB (Technology Independent Base).

Κεφάλαιο 3^ο

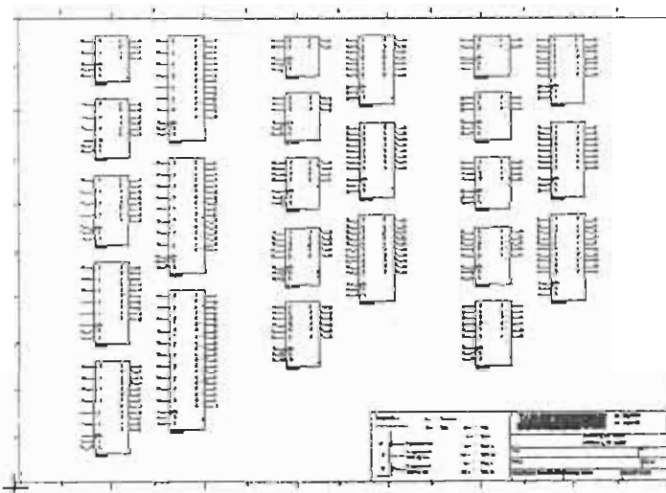
Οι εξειδικευμένης τεχνολογίας βιβλιοθήκες TDB είναι αυτές οι οποίες περιέχουν στοιχεία συγκεκριμένης τεχνολογίας κατασκευής και το κάθε στοιχείο αυτής, εμπεριέχει τις απαραίτητες πληροφορίες για εξαγωγή Netlists. Ως συνήθως τα στοιχεία που περιέχονται σε μία τέτοια βιβλιοθήκη είναι βασικά στοιχεία όπως inverters, and, or πυλών κτλ. Χαρακτηριστικό παράδειγμα είναι η σχηματική βιβλιοθήκη της SCMOS-Lib (σχ. 3.3) της οποίας τα στοιχεία χρησιμοποιούνται για σχεδιάσεις τεχνολογίας SCMOS.



ΣΧΗΜΑ 3.3. Βιβλιοθήκη SCMOS Standard Cells

Οι ανεξαρτήτου τεχνολογίας βιβλιοθήκες TIB, περιέχουν στοιχεία τα οποία δεν αναφέρονται σε κάποια συγκεκριμένη τεχνολογία και για τον λόγο αυτό δεν περιέχουν πληροφορίες για την εξαγωγή Netlist όπως τα προηγούμενα. Τα στοιχεία που περιέχουν είναι περισσότερο πολύπλοκα όπως μετρητές καταχωρητές κτλ. Με τον τρόπο αυτό μπορούμε να σχεδιάσουμε πολύ πιο εύκολα και γρήγορα τα πολύπλοκα κυκλώματα. Στις σχεδιάσεις που έχουμε χρησιμοποιήσει στοιχεία TIB εξαγάγουμε την πλήρη περιγραφή του κυκλώματος. Πρέπει να σημειώσουμε ότι η περιγραφή αυτή της σχεδίασης αφορά τον τρόπο διασύνδε-

σης των TIB στοιχείων στο κύκλωμα. Έπειτα με την χρήση αρχείων χαρτογράφησης, μπορούμε να καταλήξουμε σε μία πλήρη και αναλυτική περιγραφή σε επίπεδο πυλών ή και τρανζίστορ του κυκλώματος για την τεχνολογία που θα χρησιμοποιήσουμε για την υλοποίησή του. Ένα παράδειγμα βιβλιοθήκης TIB είναι αυτό της SchemLib (σχ. 3.3).



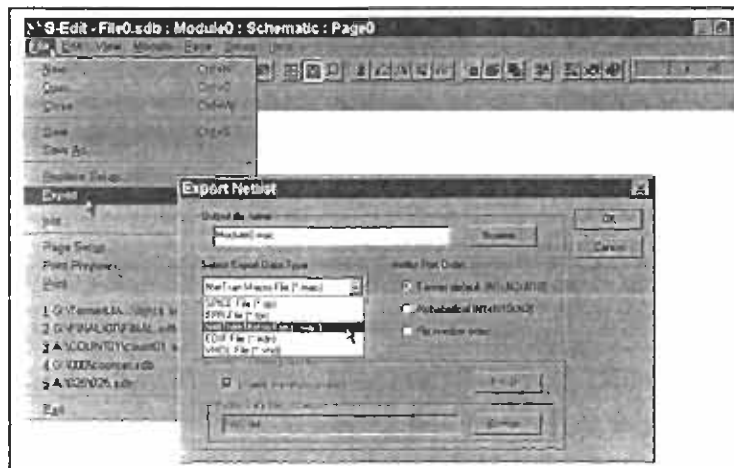
ΣΧΗΜΑ 3.3. Σχηματική βιβλιοθήκη που περιέχει TIB Cells

Όταν το κύκλωμά μας έχει σχεδιαστεί με στοιχεία TDB μπορεί να εξαχθεί απ' ευθείας από το S-Edit με την μορφή μιας netlist για χρήση στα προγράμματα SPICE, LVS (.sp), SPR (.tpr). Εάν θέλουμε να παράγουμε netlist για επεξεργασία στο NetTran (.mac & .wir) ακολουθούμε την εξής διαδικασία: Τοποθετούμε στα TDB στοιχεία του κυκλώματος μια property¹, την «NetTran output» και τοποθετούμε στο τελικό σχέδιο ένα module² που ονομάζεται «Macrocalls».

¹ Βλέπε Sedit manual.

² Βλέπε Sedit manual.

Εάν η σχεδίασή μας έχει γίνει με TIB στοιχεία, οι netlist δεν μπορούν να εξαχθούν κατευθείαν από το Sedit και πρέπει οπωσδήποτε να χρησιμοποιήσουμε το NetTran. Η σχεδίαση με TIB βιβλιοθήκες προτιμάτε γιατί ο σχεδιαστής έχει την δυνατότητα να ολοκληρώσει πρώτα την σχεδίαση του και μετά να επιλέξει την καλύτερη τεχνολογία για την κατασκευή του κυκλώματος. Άλλωστε ένα κύκλωμα που έχει σχεδιαστεί με TIB, με τις κατάλληλες διαδικασίες, μπορεί να κατασκευαστεί σε όλες τις τεχνολογίες. Μια σχεδίαση TDB μπορεί να κατασκευαστεί μόνο σε μια τεχνολογία, αυτή στην οποία αναφέρεται η βιβλιοθήκη. Αλλαγή της τεχνολογίας θα σήμαινε ότι η σχεδίαση ξεκινάει πάλι από μηδενικό στάδιο, πράγμα πολύ δύσκολο ειδικά όταν πρόκειται για μεγάλα και πολύπλοκα κυκλώματα VLSI.



ΣΧΗΜΑ 3.4: Μενού του S-Edit για την εξαγωγή Netlist

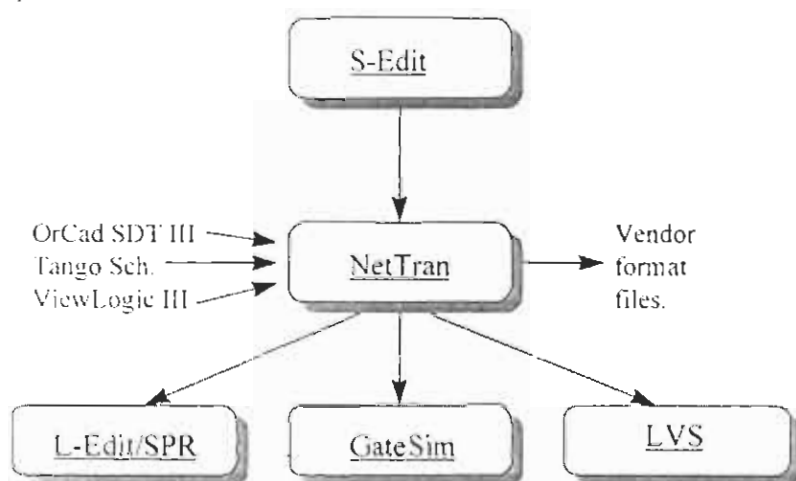
NetTran™



Netlist Translator

Το NetTran είναι ένα βασικό τμήμα των Tanner Tools. Είναι το πρόγραμμα εκείνο που διαχειρίζεται τις μετατροπές των netlists σε διάφορα formats, ανάλογα με το πρόγραμμα που πρόκειται να την χρησιμοποιήσει.

Στο σχήμα 3.5 διευκρινίζεται το πώς συνεργάζεται το NetTran με τα προγράμματα των Tanner Tools. Το NetTran χρησιμοποιεί τα αρχεία τύπου .mac και .wir, που παίρνουμε από το S-Edit, και ειδικές βάσεις δεδομένων, τις mapping libraries, για να δημιουργήσει εκείνες τις περιγραφές της σχεδίασης μας που χρειάζονται στο GateSim, το SPICE ή το L-Edit/SPR. Τα mapping libraries παρέχονται από τους κατασκευαστές (vendors) και περιέχουν δεδομένα των τεχνολογιών που κατασκευάζουν.



ΣΧΗΜΑ 3.5. Block διάγραμμα του περιβάλλοντος εργασίας του NetTran.

Το NetTran έχει την δυνατότητα να δεχτεί και αρχεία που προέρχονται από άλλα σχεδιαστικά προγράμματα καθώς και να δημιουργήσει αρχεία που θα χρησιμοποιηθούν από άλλα προγράμματα.

Το NetTran εκτελείται σε περιβάλλον DOS. Για να εκτελέσουμε το NetTran πρέπει πρώτα να είμαστε σίγουροι ότι το αρχείο (NETTRAN.EXE) βρίσκεται στον τρέχον υποκατάλογο ή ότι έχουμε καθορίσει με ακρίβεια τη θέση του (path). Η γενική σύνταξη για να καλέσουμε το NetTran στην γραμμή εντολών του DOS είναι η εξής:

>NETTRAN [OPTIONS] [INPUT FILE [OUTPUT FILE]]

όπου:

Input file: αρχείο τύπου .wir

Output file: αρχείο εξόδου στο ζητούμενο format.

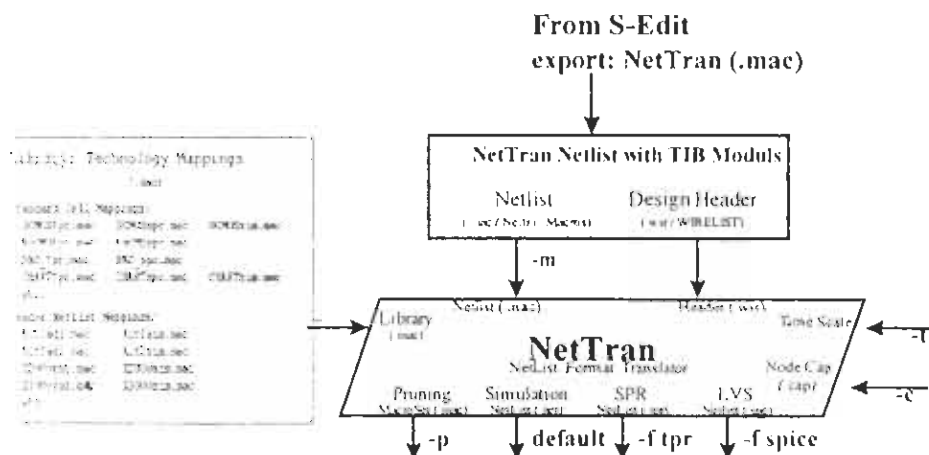
Options: παράμετροι ανάλογα με τον μετασχηματισμό που επιθυμούμε.

Στο σχ. 3.6 μπορούμε να παρατηρήσουμε τις λειτουργίες του NetTran στο περιβάλλον των Tanner Tools, ανάλογα με την παράμετρο που χρησιμοποιούμε. Περιληπτικά αναφέρουμε μερικές από τις βασικότερες μετατροπές που χρησιμοποιήσαμε κατά τη σχεδίαση μας, με τις αντίστοιχες παραμέτρους τους:

Παράμετρος	μετατροπή σε
default +	.net για εξομοίωση σε επίπεδο πυλών (GateSim)
α) -C	back anotation το flag -C ακολουθούμενο από αρχείο .cap που προκύπτει από το layout που κατασκευαστικέ και δηλώνει τις χωρητικότητες σε κάθε node
β) -T	Timing Scale Feature το flag ακολουθείται από έναν συντελεστή κλίμακας που εξαρτάται από την κλίμακα σχεδίασης. Default = 2.0μm.

Κεφάλαιο 3^ο

	(πάντοτε χρησιμοποιούμε και το αντίστοιχο macro αρχείο π.χ. για σχεδίαση με την SCMOSLib χρησιμοποιούμε το SCMOSsim.mac)
-F TPR	παράγει ένα .tpr αρχείο για χρήση με το L-Edit/SPR. (πάντοτε χρησιμοποιούμε και το αντίστοιχο macro αρχείο π.χ. για σχεδίαση με την SCMOSLib χρησιμοποιούμε το SCMOSspr.mac)
-F SPICE	παράγει ένα .spc αρχείο για χρήση με το T-Spice και για LVS. (πάντοτε χρησιμοποιούμε και το αντίστοιχο macro αρχείο π.χ. για σχεδίαση με την SCMOSLib χρησιμοποιούμε το SCMOSspc.mac)



ΣΧΗΜΑ 3.6: NetTran λειτουργίες

Κατά την δήλωση του αρχείου χαρτογράφησης στο Macrocall, πρέπει να δοθεί ιδιαίτερη προσοχή, γιατί αυτό καθορίζει το είδος της μετατροπής που θα πραγματοποιηθεί από το NetTran. Για τον λόγο αυ-

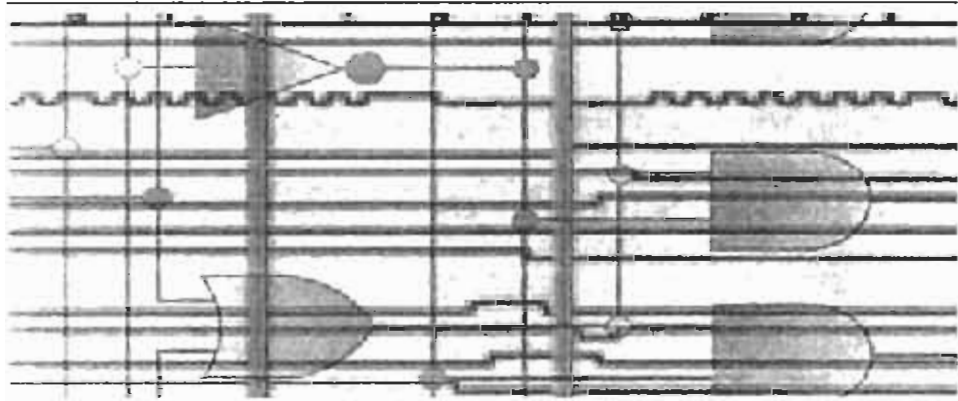
Κεφάλαιο 3^ο

τό η ονομασία των αρχείων αυτών είναι κωδικοποιημένη έτσι ώστε να είναι άμεσα αναγνωρίσιμο το είδος της μετατροπής που πραγματοποιούν. Έτσι έχουμε:

Ενδ.	Αρχείο χαρτο- γραφησης	Χαρτογρ. από	Χαρτογρ. σε	Με
-M	Sch2TIB.mac	SchemLib symbols	TIB primi- tives	A small cell set
-M	TIB2SCMS.mac	TIB primitives	SCMOSLib cells	primitive set
-M	Sch2SCMS.mac	SchemLib symbols	SCMOSLib cells	primitive set
-M	SCMOSpr.mac	SchemLib symbols	SCMOSLib cells	TPR netlist
-M	SCMOSspc.mac	SchemLib symbols	SCMOSLib cells	SPICE netlist
-M	SCMOSsim.mac	SchemLib symbols	SCMOSLib gates	timing paramete

Πολλές φορές πραγματοποιούμε περισσότερο από μία μετατροπές αυτό γίνεται με την κλήση ταυτόχρονα δύο ή και περισσότερων αρχείων χαρτογράφησης ταυτόχρονα.

GateSimTM



Gate level Simulator

Το GateSim είναι πρόγραμμα εξομοίωσης σε επίπεδο πυλών. Χρησιμοποιείται για την εξομοίωση των ψηφιακών κυκλωμάτων. Μπορούμε να εκτελέσουμε το πρόγραμμα εξομοίωσης GateSim αρκεί να βρίσκεται στον τρέχον υποκατάλογο ή εάν έχουμε καθορίσει με ακρίβεια το path. Το Gatesim εκτελείτε σε περιβάλλον DOS. Εκτελώντας το 'Gatesim.exe' εμφανίζεται στην οθόνη μας το περιβάλλον εργασίας ενώ πληκτρολογώντας '?' εμφανίζεται η λίστα των εντολών του προγράμματος.

Για την λειτουργία του Gatesim είναι απαραίτητα δυο αρχεία, ένα τύπου input vector file (.vec) και ένα τύπου netlist file (.net). Το .vec αρχείο περιγράφει τα εξωτερικά σήματα που οδηγούν το κύκλωμα, και το κατασκευάζουμε εμείς στον editor του DOS. Το net αρχείο περιγράφει το κύκλωμα που πρόκειται να εξομοιωθεί και παράγεται από το NetTran. Η εξομοίωση με το Gatesim μπορεί να γίνει με δυο τρόπους. Μπορούμε να δίνουμε μια-μια τις εντολές ή να δημιουργήσουμε ένα ειδικό αρχείο, ένα simulation file (.sim). Το αρχείο αυτό είναι ένα «σενάριο» εξομοίωσης, στο οποίο δηλώνουμε πιο κύκλωμα εξομοιώνουμε, ποιες διεργασίες θέλουμε να πραγματοποιηθούν καθώς και που να αποθηκευτούν τα αποτελέσματα τους. Χρησιμοποιώντας αυτή την μέθοδο η εξομοίωση γίνεται αυτόματα και δεν χρειάζεται η δική μας επέμβαση κατά την διάρκεια της. Τα αποτελέσματα της εξομοίωσης καταχωρούνται πάντα σε ένα αρχείο που ονομάζεται 'SIM.OUT'.

Για να εξομοιώσουμε τώρα το κύκλωμά μας αρκεί να πληκτρολογήσουμε στο DOS:

```
c:\>gatesim example.sim <return>
```

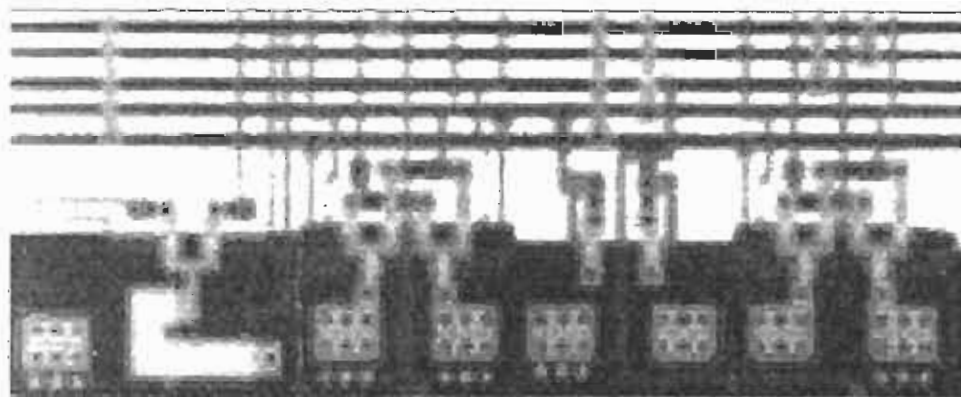
Η εξομοίωση αρχίζει. Διαβάζονται και εκτελούνται οι εντολές εξομοίωσης από το αρχείο example.sim που έχουμε κατασκευάσει εμείς.

Χαρακτηριστικό απόσπασμα .sim αρχείου

```
$ File: example.SIM  
$ This simulates the .NET file, example.net, coming  
$ from the S-Edit schematic example.TDB.  
PAttfile example.VEC  
NEtfile example.NET  
Viewvector ON  
DP 1 1 1  
.HEX TOP1 = . ....
```

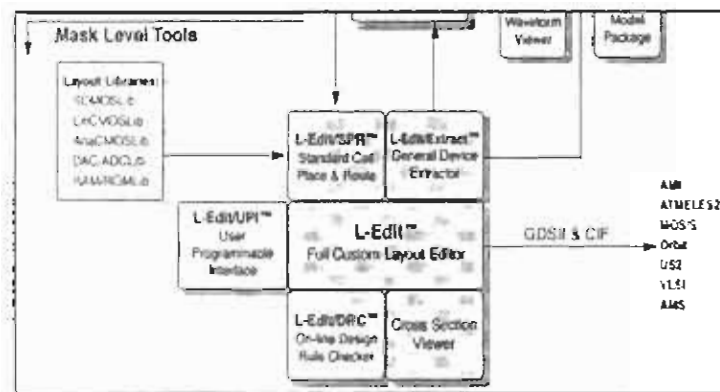
Όπως βλέπουμε και στο παράδειγμα κατά την εκτέλεση του example.sim στην έναρξή της εξομοίωσης διαβάζεται η netlist που περιγράφει το κύκλωμα example.net και αμέσως μετά το vector αρχείο example.vec. Έπειτα ακολουθούν οι εντολές εξομοίωσης και η πραγματοποίηση των εργασιών που αυτές ορίζουν. Όταν ολοκληρωθούν όλες οι εντολές, για να δούμε τα αποτελέσματα της εξομοίωσης πάμε στο αρχείο SIM.OUT.

L-Edit



Layout Editor

Τα εργαλεία επιπέδου μάσκας απαρτίζονται από έναν layout³ editor, τον L-Edit™, ένα πακέτο αυτόματης τοποθέτησης και σύνδεσης τυποποιημένων στοιχείων standard cell το L-Edit/SPR™, ένα πρόγραμμα ελέγχου κανόνων σχεδίασης L-Edit/DRC™ Design Rule Checker, και ένα πρόγραμμα εξαγωγής layout το L-Edit/Extract™ το οποίο το χρησιμοποιούμε για εξαγωγή αρχείου με την μορφή netlist για εξομοίωση στο T-Spice™. Μαζί με τα εργαλεία αυτά υπάρχει και μία πληθώρα βιβλιοθηκών layout και layout generators που συμπληρώνουν τα προγράμματα επιπέδου μάσκας.



ΣΧΗΜΑ 3.7: Προγράμματα επιπέδου μάσκας.

Το L-Edit είναι ένας πλήρης και δυναμικός αλληλεπιδρών γραφικός επεξεργαστής μασκών με τον οποίο δημιουργούμε εύκολα και γρήγορα layout, υποστηρίζει πλήρως ιεραρχημένες σχεδιάσεις. Το L-Edit διαβάσει και δημιουργεί αρχεία τύπου GDSII και CIF, τα format που χρησιμοποιούν οι περισσότεροι κατασκευαστές (vendors).

Το L-Edit/SPR (Standard Place and Route) μπορεί να δημιουργήσει εξολοκλήρου το φυσικό σχέδιο ενός chip χρησιμοποιώντας μόνο

³ Layout = φυσικό σχέδιο.

μία netlist που εξάγεται είτε απ' ευθείας από το S-Edit είτε από το Net-Trap. Το εργαλείο αυτό αναλαμβάνει την αυτόματη τοποθέτηση και διασύνδεση αυτών των στοιχείων με τον τρόπο που περιγράφεται στην Netlist. Το L-Edit/DRC Design Rule Checker εξετάζει αν παραβιάζονται οι κανόνες σχεδίασης που έχουν οριστεί για την κάθε επεξεργασία. Μας δίνει την δυνατότητα να ελέγξουμε όλο το Chip ή μόνο μία συγκεκριμένη περιοχή που θέλουμε και να καθορίσουμε το βήμα με το οποίο γίνεται αυτός ο έλεγχος.

Με το L-Edit/Extract παράγουμε ένα αρχείο τύπου HDL⁴ το οποίο μπορεί να χρησιμοποιηθεί για να κατασκευαστούν οι μάσκες του κυκλώματος που έχουμε σχεδιάσει και θέλουμε να κατασκευάσουμε. Με το εργαλείο cross-sectional viewer μπορούμε να δούμε τομές του layout σε διάφορα σημεία της σχεδίασης. Τέλος υπάρχουν και τα αρχεία των βιβλιοθηκών που χρησιμοποιούμε στα διάφορα στάδια και τις διαδικασίες της σχεδίασης. Αυτά είναι:

Η SCMOSLib™ περιέχει digital logic cells και I/O pads.

Η DAC/ADCLib™ είναι ένα σετ στοιχείων DAC (digital-to-analog) και ADC (analog-to-digital) μετατροπείς.

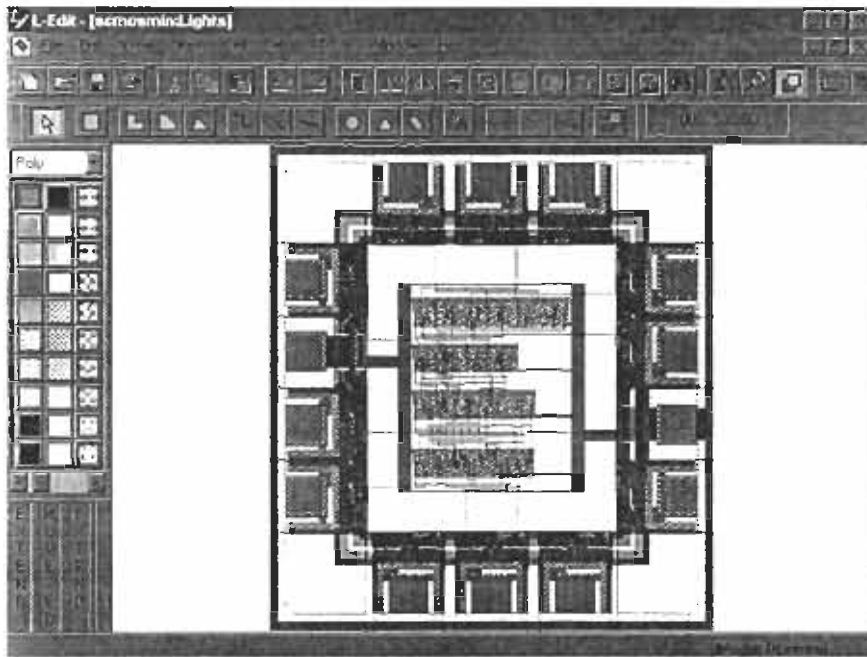
Η AnaCMOSLib™ περιέχει αναλογικά στοιχεία και I/O pads.

Η RAM/ROMLib™ περιέχει στοιχεία μνημών RAM και ROM.

Το L-Edit είναι ένας Layout Editor και μπορεί να επεξεργαστεί αρχεία τύπου GDS II, CIF καθώς και TDB Tanner Database. Τα αρχεία τύπου TDB είναι αυτά που διαχειρίζονται ευκολότερα και πιο γρήγορα από το L-Edit. Για τον λόγο αυτό τα χρησιμοποιούμε κατά την σχεδίασή

⁴ HDL : Hardware Description Language, γλώσσα περιγραφής υλικού. Βλέπε 2^ο κεφάλαιο

μας στο L-Edit. Όταν ολοκληρώσουμε την σχεδίαση, τότε εξάγουμε το Layout σε μορφή GDS II ή CIF για τον κατασκευαστή. Στο Σχ. 3.8 βλέπουμε το περιβάλλον εργασίας του L-Edit.



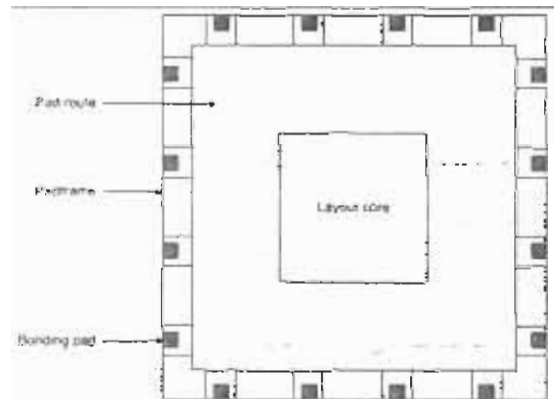
ΣΧΗΜΑ 3.8: Περιβάλλον εργασίας του L-Edit

L-Edit/SPR (Standard Cell Place and Route)

Το L-Edit/SPR τοποθετεί και συνδέει ένα κύκλωμα χρησιμοποιώντας μία TPR netlist και ένα αρχείο έτοιμων στοιχείων standard cell που μπορούμε να πάρουμε από μία βιβλιοθήκη. Έχουμε τρεις επιλογές στο SPR, να δημιουργήσουμε τα τμήματα Core, το Padframe και το Pad routing (Σχ. 3.9.). Έχουμε την δυνατότητα να τα κατασκευάσουμε τμηματικά ή ακόμη και όλα μαζί ταυτόχρονα. Πράγμα που το δηλώνουμε στο κεντρικό παράθυρο επιλογών Σχ. 3.10.

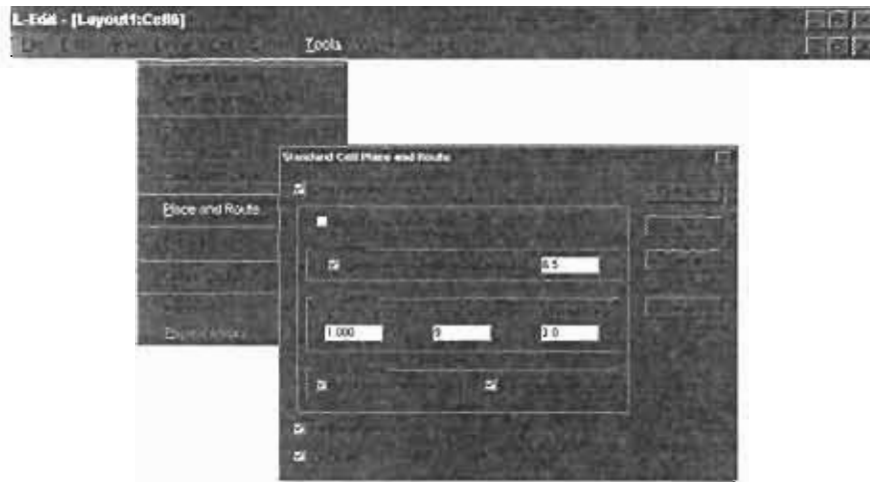
Για να εκτελέσουμε SPR χρειάζονται ορισμένα αρχεία αυτά είναι τα παρακάτω:

- Ένα αρχείο σχεδίασης (.tdb) που θα είναι το αρχείο στο οποίο εργαζόμαστε και περιέχει όλα τα απαραίτητα setup⁵.
- Ένα αρχείο περιγραφής netlist (.tpr) που περιέχει την περιγραφή του σχηματικού σχεδίου με στοιχεία που περιέχονται στην βιβλιοθήκη των Standard Cell και
- Ένα αρχείο βιβλιοθήκης που να περιέχει standard cell (π.χ. το morbn20d.tdb).



ΣΧΗΜΑ 3.9: Τα τμήματα που δημιουργεί το SPR.

⁵ Στο σημείο αυτό πρέπει να σημειώσουμε ότι για να εκτελέσουμε SPR χρειάζεται να έχουν καθορίσουμε διάφορα setups σύμφωνα με την βιβλιοθήκη που χρησιμοποιούμε. Αυτό μπορεί να γίνει είτε από τον σχεδιαστή είτε να κάνουμε από την γραμμή εργαλείων File > Replace Setup αντικατάσταση από κάποιο αρχείο που περιέχει setup π.χ. το morbn20.tdb

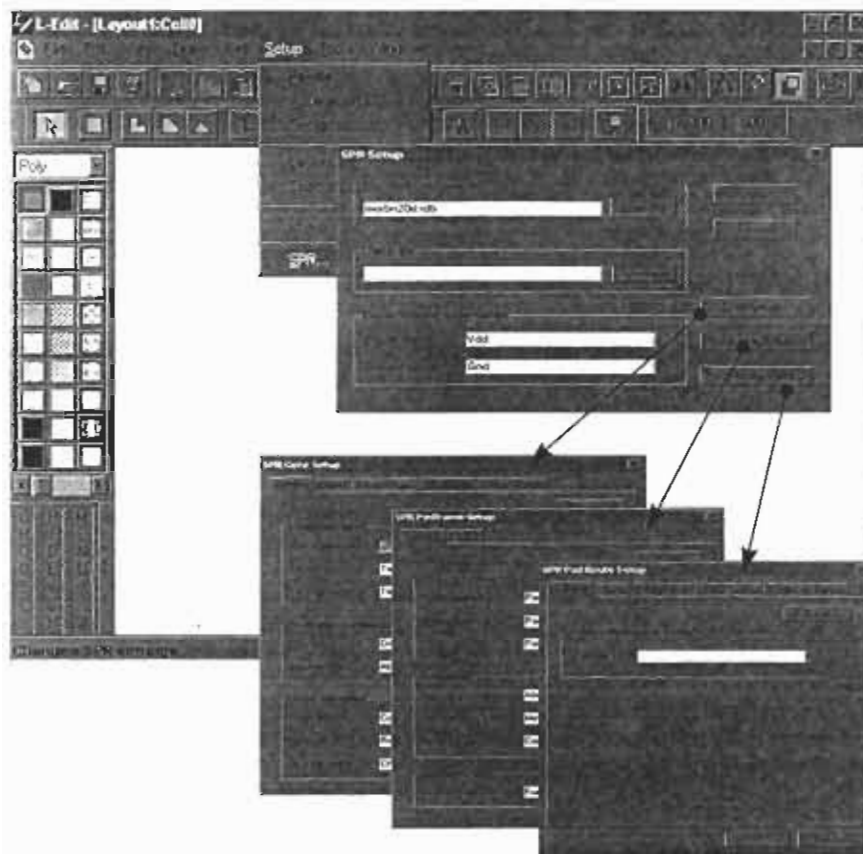


ΣΧΗΜΑ 3.10: Καθορισμός παραμέτρων SPR.

Κατά την εκτέλεση της εργασίας του SPR δηλώνουμε έναν συντελεστή (Optimization Factor) που δέχεται τιμές από 1-10, στο 10 δημιουργεί το φυσικό σχέδιο έχοντας την βέλτιστη τοποθέτηση των στοιχείων σε όσο το δυνατό μικρότερη επιφάνεια.

Κατά την δημιουργία του IC παρατηρούμε ότι εκτός από τα standard cells τοποθετούνται και άλλα στοιχεία στο Layout αυτά των συνδέσεων, των επαφών που επηρεάζουν την ηλεκτρική λειτουργία του IC με της καθυστερήσεις απόκρισης που δημιουργούν λόγω των χωρητικότητων και των αντιστάσεων που εμφανίζονται. Ιδιαίτερα εάν το κύκλωμα εργάζεται σε υψηλές συχνότητες, χρειάζεται μία δεύτερη εξομοίωση που να εμπεριέχει αυτά τα χαρακτηριστικά. Για τον λόγο αυτό κατά την εκτέλεση του SPR δημιουργείται ένα αρχείο .cap που περιέχει μία λίστα αυτών των χωρητικότητων και αντιστάσεων που εμφανίζονται σε κάθε κόμβο και χρησιμοποιείται για back annotation⁶.

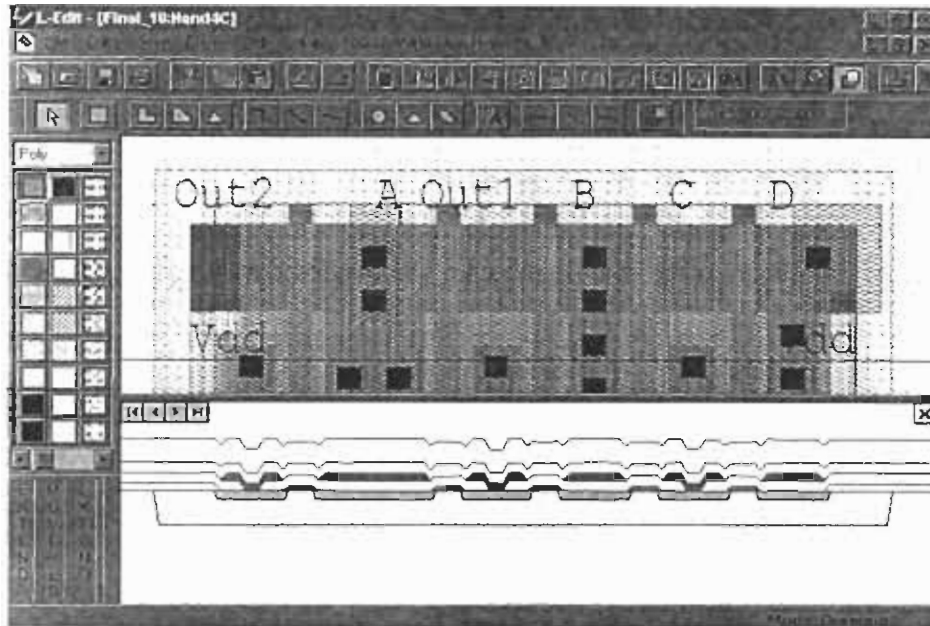
⁶ Back annotation = επαναπροσδιορισμός παραμέτρων σχεδίασης, βλέπε 2^ο κεφάλαιο.



ΣΧΗΜΑ 3.11: Παράμετροι του SPR.

L-Edit Cross Section Viewer

Τα ολοκληρωμένα κυκλώματα είναι εξ' ορισμού τρισδιάστατες κατασκευές. Στα περισσότερα CAD εργαλεία η τρίτη διάσταση αποδίδεται με ένα κώδικα χρωμάτων και σχεδίων πάνω στην οθόνη του υπολογιστή. Με την χρήση του προγράμματος Cross Section Viewer έχουμε την δυνατότητα να εμφανίσουμε στην οθόνη μας τομές σε διάφορα σημεία του IC. Στο σχήμα 3.12, βλέπουμε μία τομή που έχουμε κάνει σε μία πύλη Nand4C.



ΣΧΗΜΑ 3.12: Cross section view μιας πύλης Nand4C.

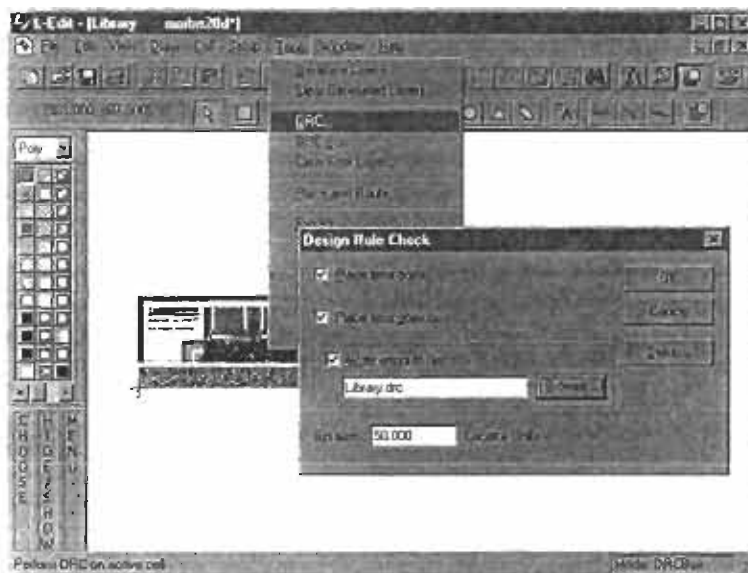
Οι πληροφορίες που απαιτούνται για την πραγματοποίηση της τομής βρίσκονται σε ένα αρχείο τύπου process definition file με κατάληξη .xst. Θέτουμε λοιπόν στο παράθυρο το path και το αντίστοιχο .xst αρχείο που θα χρησιμοποιηθεί ανάλογα με την τεχνολογία που έχουμε επιλέξει (π.χ. για σχεδίαση με χρήση στοιχείων από την morbn20d επιλέγουμε το morbn20.xst). Στο αρχείο αυτό βρίσκονται καταχωρημένες πληροφορίες για την δημιουργία της τομής του κυκλώματος που βλέπουμε στην οθόνη μας.

Με αυτή τη δυνατότητα αποκτούμε μια άποψη της τρίτης διάστασης και μπορούμε να αντιληφθούμε και να διορθώσουμε διάφορα προβλήματα και λάθη που έχουν γίνει στην σχεδίαση. Τέλος με την χρήση των πλήκτρων που εμφανίζονται στο παράθυρο της τομής, μπορούμε να παρατηρήσουμε βήμα προς βήμα την δημιουργία των διαφό-

ρων στρωμάτων του ολοκληρωμένου, όπως συμβαίνουν και κατά την κατασκευή του.

L-Edit/DRC

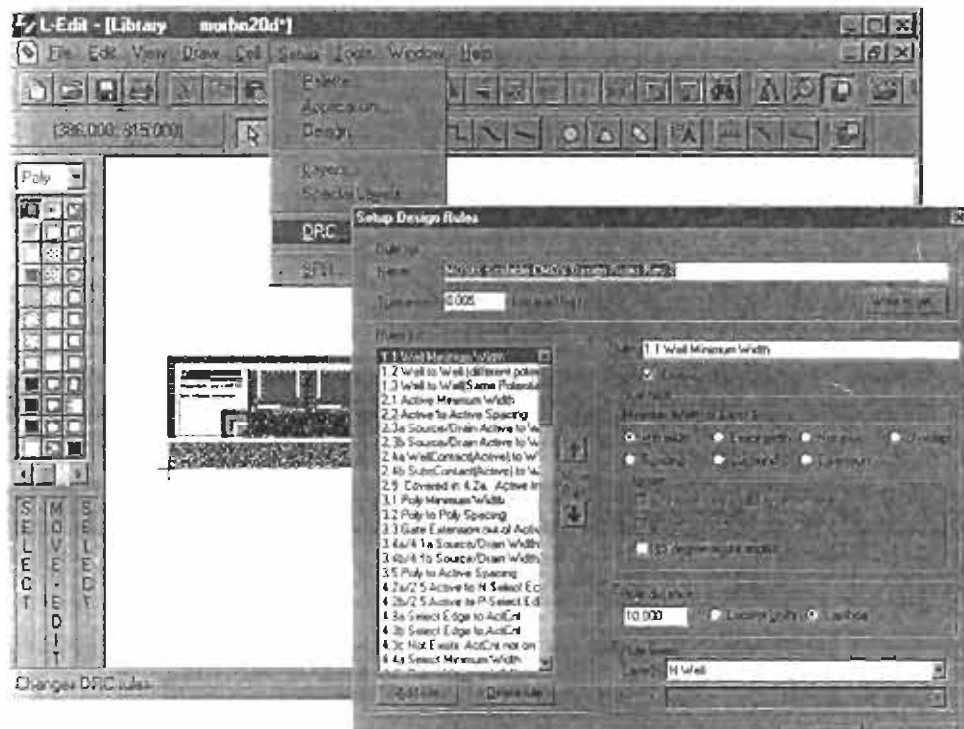
Το DRC Design Rules Check είναι το εργαλείο του L-Edit, το οποίο ελέγχει εάν έχουν γίνει παραβιάσεις των κανόνων σχεδίαση στο Layout. Οι κανόνες σχεδίασης στην απλούστερή τους μορφή δηλώνουν της ελάχιστες επιτρεπόμενες τιμές για πλάτη, διαχωρισμούς, γεωμετρικές διαστάσεις των επικαλύψεων.



ΣΧΗΜΑ 3.13: Παράθυρα DRC

Ο έλεγχος αυτός μπορεί να γίνει για ολόκληρη τη σχεδίαση που βρίσκεται στο ενεργό παράθυρο, αλλά και μόνο για προκαθορισμένη περιοχή με την επιλογή (DRC Box), για να αποφεύγουμε την καθυστέρηση, σε μία μεγάλη σχεδίαση. Με τον τρόπο αυτό εξετάζονται εάν το σχέδιο υπακούει στους καθορισμένους κανόνες ή όχι, Σχ. 3.14.

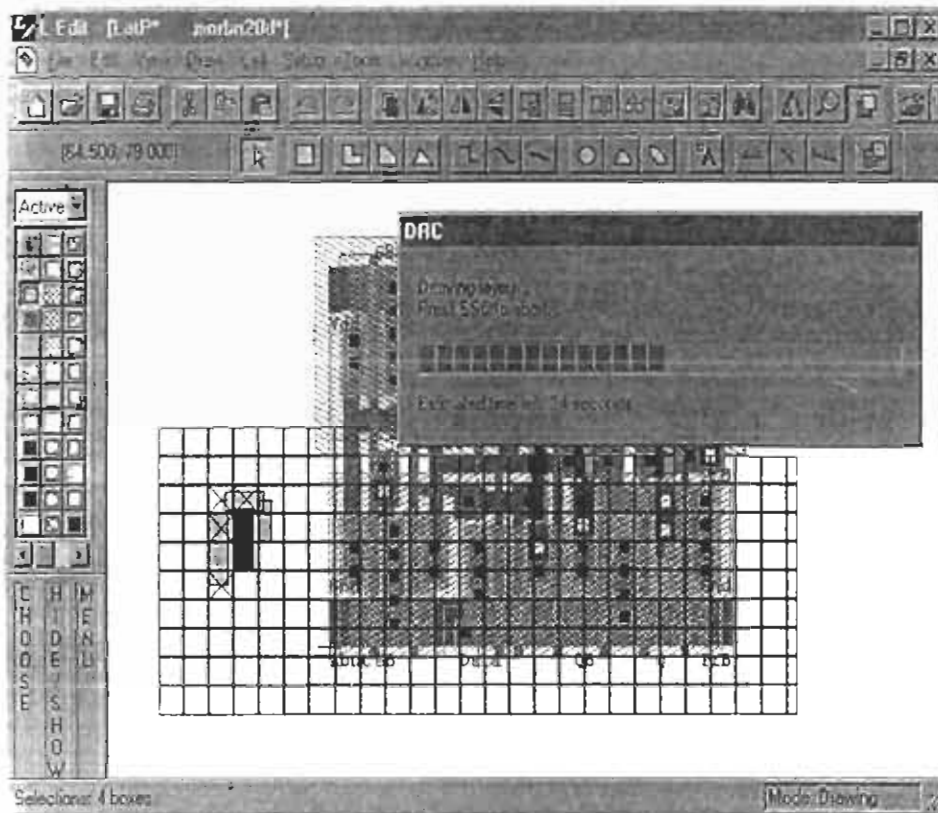
Ο καθορισμός των κανόνων που ισχύουν κατά την διάρκεια της σχεδίασης, μέσα από το μενού (File>Replace Setup). Μπορούμε επίσης να τροποποιήσουμε, να διαγράψουμε ή ακόμη και να δημιουργήσουμε έναν νέο κανόνα, μέσα από το μενού (Setup>DRC, σχ. 3.14).



ΣΧΗΜΑ 3.14: Κανόνες DRC.

Κατά την επιλογή του τμήματος που επιθυμούμε να εξεταστεί, δηλώνουμε εάν θέλουμε τα αποτελέσματα να εμφανιστούν στην οθόνη ή να αποθηκευτούν σε ένα αρχείο εξόδου (.drc). Μετά τις απαραίτητες ρυθμίσεις, ο έλεγχος αρχίζει. Παρατηρούμε ότι ο έλεγχος γίνεται τμηματικά ενώ στα σημεία που έχουν βρεθεί παραβιάσεις, τοποθετούνται επισημάνσεις λάθους, (μπλόκ μαρκαρισμένα με ένα x). Ταυτόχρονα τα α-

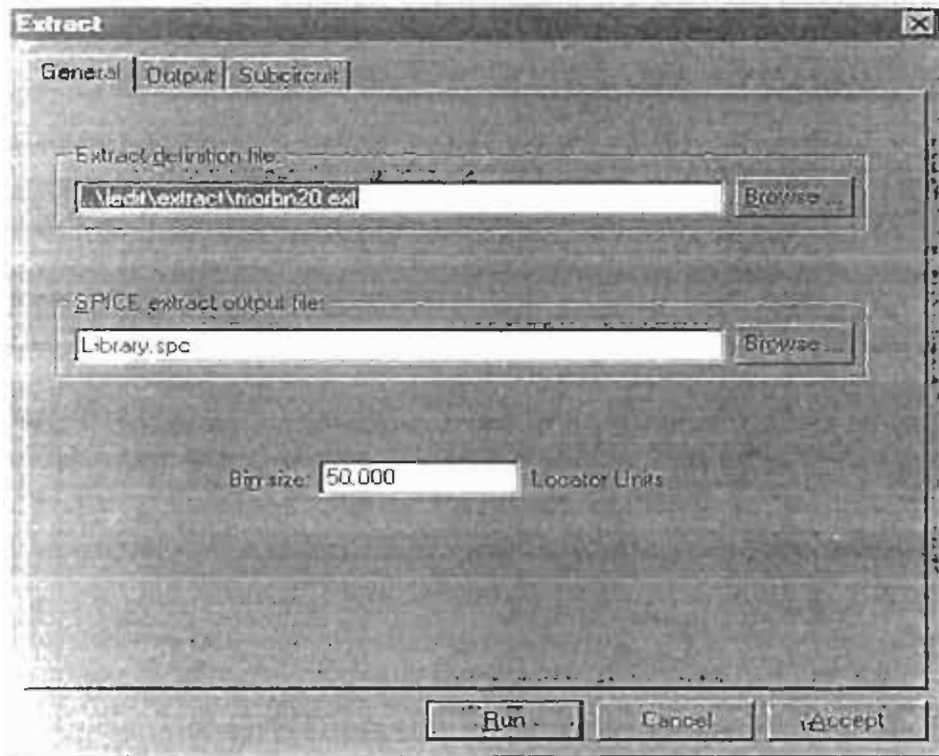
ποτελέσματα καταχωρούνται στο αρχείο εξόδου που έχουμε θέσει προηγουμένως. Στο σχ.3.15 παρατηρούμε την διεξαγωγή ενός ελέγχου. Πρέπει να πούμε ότι οι κανόνες ελέγχου μας δίνονται από τον κατασκευαστή του IC.



ΣΧΗΜΑ 3.15: DRC σε εξέλιξη

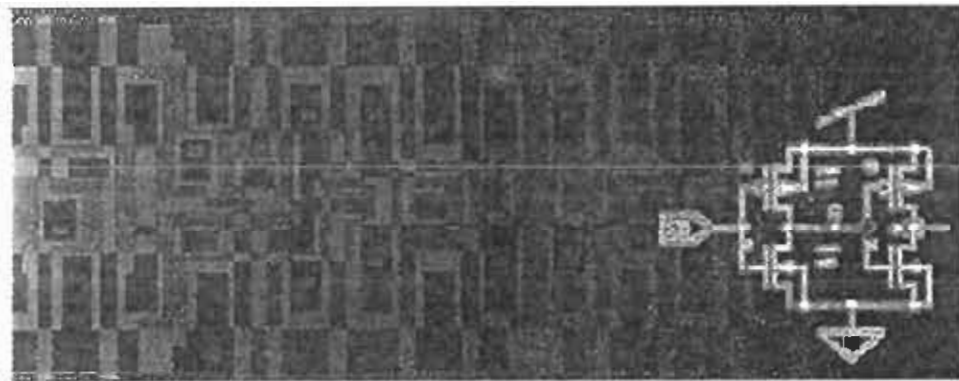
L-Edit/Extract

Με την εξαγωγή (Extraction) δημιουργούμε μία νέα Netlist, σχ. 3.16. Στη περιγραφή αυτή υπάρχουν πληροφορίες για τα στοιχεία και τις ενώσεις, όπως αυτά έχουν διαμορφωθεί στο φυσικό σχέδιο. Έτσι δημιουργείται ένα αρχείο .spc το οποίο χρησιμοποιούμε έπειτα είτε για εξομοίωση σε περιβάλλον SPICE είτε σαν μια από τις συγκρινόμενες netlists στο LVS.

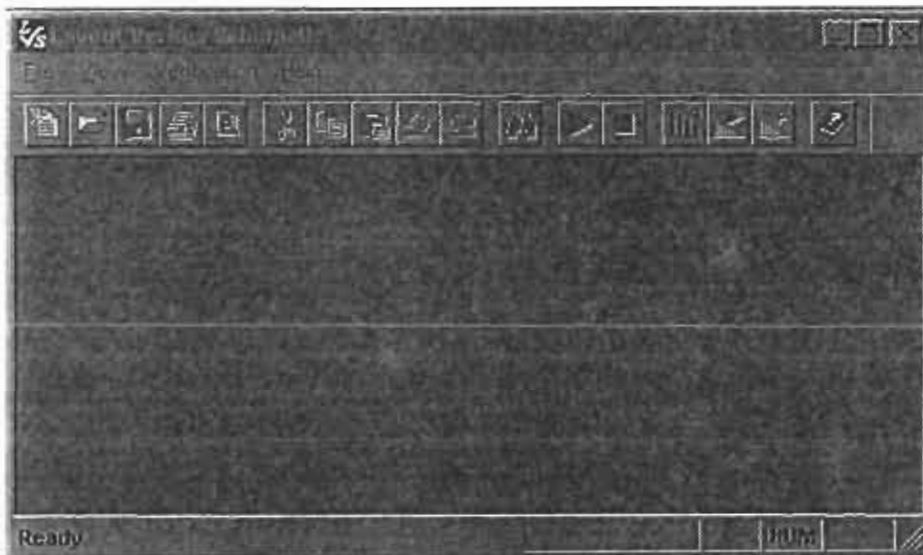


ΣΧΗΜΑ 3.16: Παράθυρο παραμέτρων Extract

LVS




Το LVS είναι ένα εργαλείο σύγκρισης netlist. Έχει σχεδιαστεί για να συγκρίνει και να αποφασίζει εάν δυο netlist περιγράφουν το ίδιο κύκλωμα ή όχι. Εάν τα κυκλώματα δεν είναι ίδια, με την βοήθεια του LVS μπορούμε να προσδιορίσουμε και να διορθώσουμε τα λάθη που προκύπτουν. Όπως παρατηρούμε από το Σχ. 3.17 το περιβάλλον εργασίας είναι παραθυρικό και ιδιαίτερα φιλικό.

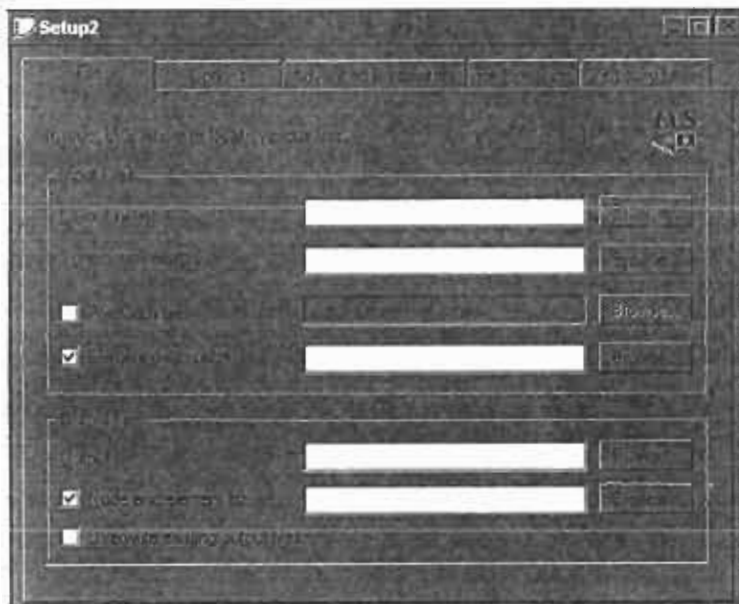


ΣΧΗΜΑ 3.17: Περιβάλλον LVS.

Για να τρέξουμε το LVS απαιτούνται δύο netlist τύπου spice. Προαιρετικά μπορούμε να προσδιορίσουμε, αρκεί να μαρκάρουμε στο αντίστοιχο τετράγωνο, αρχεία προκαθορισμού (.pre) ή αρχεία περιγραφής στοιχείων (.elm). Μπορούμε να επιλέξουμε από το μενού File, Open και να ανοίξουμε κάποιο αρχείο από τα διάφορα που υποστηρίζει το LVS. Τέλος προσδιορίζουμε το αρχείο εξόδου (.out) και εάν επιθυμούμε την παραγωγή λίστας των κόμβων και στοιχείων προσδιορίζουμε το όνομα της λίστας που επιθυμούμε για εξαγωγή (.lst). Αφού συμπληρώσαμε τα στοιχεία αυτά και επιλέξουμε τι τύπου αρχεία επιθυμούμε

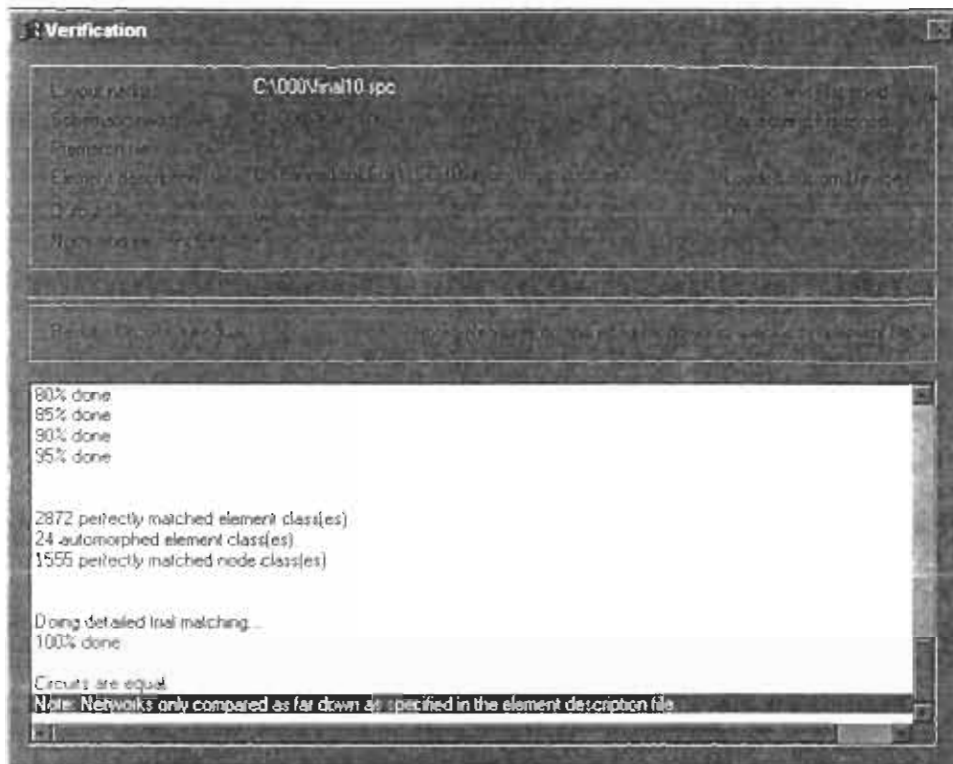
να πάρουμε από αυτή την σύγκριση, τότε επιλέγουμε run ή απλά πατάμε το .

Πρέπει να πούμε ότι το LVS μας δίνει την δυνατότητα εκτός από την σύγκριση netlist τύπου .sr και .src να επεξεργαστούμε και διάφορα άλλα αρχεία. Έτσι εκτός από το στάνταρ τύπο (.vdb), μπορεί να συγκρι- ναι αρχεία τύπου Spice (.sp, .src) TPR (.tpr), αρχεία εξόδου αποτελε- σμάτων (.out) και πολλών άλλων τύπων, όπως παρατηρούμε στο Πα- ράθυρο του ανοίγματος αρχείων. Σχ. 3.18.



ΣΧΗΜΑ 3.18: Παράμετροι LVS.

Κατά την εκτέλεση της σύγκρισης εμφανίζεται ένα παράθυρο με πληροφορίες για την πορεία των εργασιών. Εάν τα δύο αρχεία περι- γράφουν το ίδιο κύκλωμα εμφανίζεται στο τέλος της εργασίας η φράση Circuits are equal!. Σχ. 3.19.



ΣΧΗΜΑ 3.19: Παράθυρο αποτελεσμάτων του LVS

Περισσότερες λεπτομερείς πληροφορίες για την χρήση του LVS μπορούμε να βρούμε στα manual που βρίσκονται στον υποκατάλογο `documentation\lvs\` σε τύπο `acrobat reader (.pdf)`.

Ιεραρχική Σχεδίαση με τα Tanner Tools

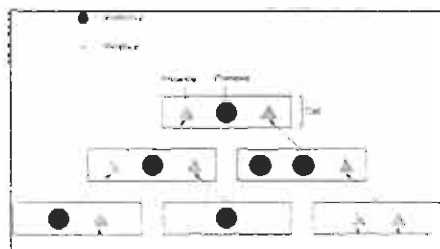
Η σχεδίασή στα Tanner Tools βασίζεται στην τεχνική της ιεραρχίας και έχει διάφορα στάδια ιεράρχησης. Αυτή η ιεραρχική δομή φαίνεται καλύτερα στο σχ. 3.20. Μπορούμε συγχρόνως να έχουμε ανοικτά περισσότερα από ένα αρχεία, από αυτά που έχουν αποθηκευτεί. Το κάθε ένα από τα αρχεία αυτά περιέχει ένα ή και περισσότερα στοιχεία που τα αποκαλούμε modules. Κάθε ένα από τα modules περιγράφεται με δύο μορφές. Την συμβολική μορφή και την σχηματική μορφή. Η σχηματική μορφή αποτελείται από μία ή και παραπάνω σελίδες 'pages' (Σχήμα 3.20).



ΣΧΗΜΑ 3.20: Ιεραρχική σχεδίαση στο S-Edit των Tanner Tools.

Στο παραπάνω διάγραμμα ξεκινώντας την ιεραρχία από επάνω προς τα κάτω παρατηρούμε ότι έχουμε ανοικτά τα αρχεία 'Design.sdb', 'File1.sdb', ..., 'FileN.sdb'. Στο αρχείο Design.sdb βρίσκονται τα module 'Design', 'Module1', ..., 'moduleN' καθώς και τα module 'Nand2', 'Inverter', 'NMOS' και 'PMOS'. Κοιτώντας την ιεραρχία αντίθετά παρατηρούμε ότι τα module 'NMOS' και 'PMOS' δεν έχουν σχηματική παρά μόνο συμβολική μορφή και μία property (την SPICE OUTPUT, για τον λόγο αυτό τα στοιχεία αυτά είναι και SPICE primitives). Το module Nand2 καθώς και του Inverter έχουν δημιουργηθεί με τοποθέτηση (instance) των 'NMOS' και 'PMOS' modules στο σχηματικό των σελίδων (page 0). Εδώ παρατηρούμε ότι έχουμε μία property (που ονομάζεται NETTRAN OUTPUT και για τον λόγο αυτό το module αυτό είναι Net-Tran primitive). Ομοίως και το module 'Design' κατασκευάζεται με την τοποθέτηση των modules που περιγράψαμε προηγούμενα.

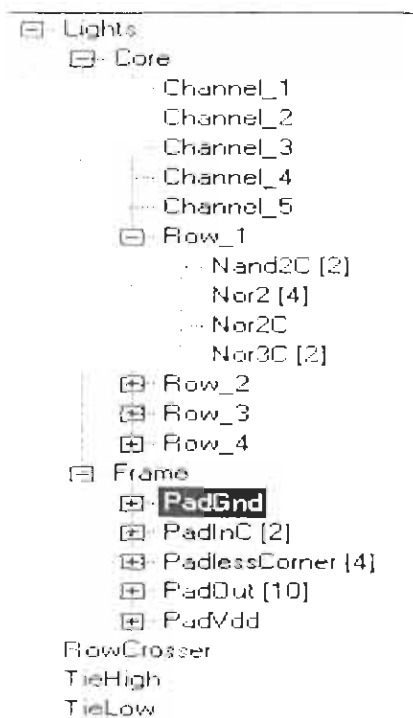
Βλέπουμε μάλιστα ότι το σχηματικό του έχει δύο σελίδες, οι οποίες ενώνονται μεταξύ τους με τα Label. Η χρήση των Label είναι να δημιουργούν συνδέσεις μεταξύ των σελίδων (pages) ενός module. Πρέπει να πούμε ότι τα ports δημιουργούν συνδέσεις μεταξύ του σχηματικού με το σύμβολο του κάθε στοιχείου και τα ports θα πρέπει να αντιστοιχούν.



ΣΧΗΜΑ 3.21: Ιεραρχία σχεδίασης

Η σχεδίαση στο L-Edit δομείται και αυτή ιεραρχικά. Μπορούμε να έχουμε ταυτόχρονα ανοικτά περισσότερα από ένα αρχεία layout. Το κάθε στοιχείο μπορεί να είναι ένα αρχικό σχέδιο ή να αποτελείται από τον συνδυασμό άλλων στοιχείων ή και ανάμικτα. Αυτό μπορούμε να το κατανοήσουμε οπτικά από το σχήμα 3.21.

Η σχεδίαση μας λοιπόν μπορεί να γίνει σε χαμηλό ή και σε υψηλότερο επίπεδο. Το χαμηλότερο επίπεδο σχεδίασης είναι η σχεδίαση



ΣΧΗΜΑ 3.22: Ιεραρχική δομή του κυκλώματος Lights.tdb.

απευθείας σε επίπεδο μάσκας. Η σχεδίαση αυτού του είδους είναι ιδιαίτερα δύσκολη και απαιτεί μεγάλη εμπειρία και ιδιαίτερη προσοχή. Ο σχεδιαστής καταφεύγει σε αυτού του είδους την σχεδίαση μόνο όταν υπάρχουν περιορισμοί όπως περιορισμός κατανάλωσης ισχύος, αυξημένες απαιτήσεις ταχύτητας κ.α..

Το επίπεδο σχεδίασης που χρησιμοποιήσαμε στην δική μας κατασκευή ήταν υψηλότερο, χρησιμοποιήσαμε το SPR, όπου με την κατάλληλη διαδικασία, πραγματοποιείται αυτόματη τοποθέτηση τυποποιημένων κυτάρων. Για παράδειγμα στο σχ. 3.22 παρατηρούμε την ιεραρχία του

layout του κυκλώματος Lights που είναι σχεδιασμένο με τον ίδιο τρόπο. Η κορυφή στην πυραμίδα της ιεραρχίας είναι το Cell_Lights, και αποτελείται από δύο στοιχεία το Cell_Core και το Cell_Frame και ούτω καθε-

ξής. Παρατηρούμε ότι τα στοιχεία που βρίσκονται στην βάση της ιεραρχίας είναι τα `Cell_Nand2c`, `Cell_Nor2`, κ.α., στοιχεία που αποτελούν τα primitives της σχεδίασής μας.

4^ο ΚΕΦΑΛΑΙΟ

4.1 Περιγραφή της σχεδίασης μας.

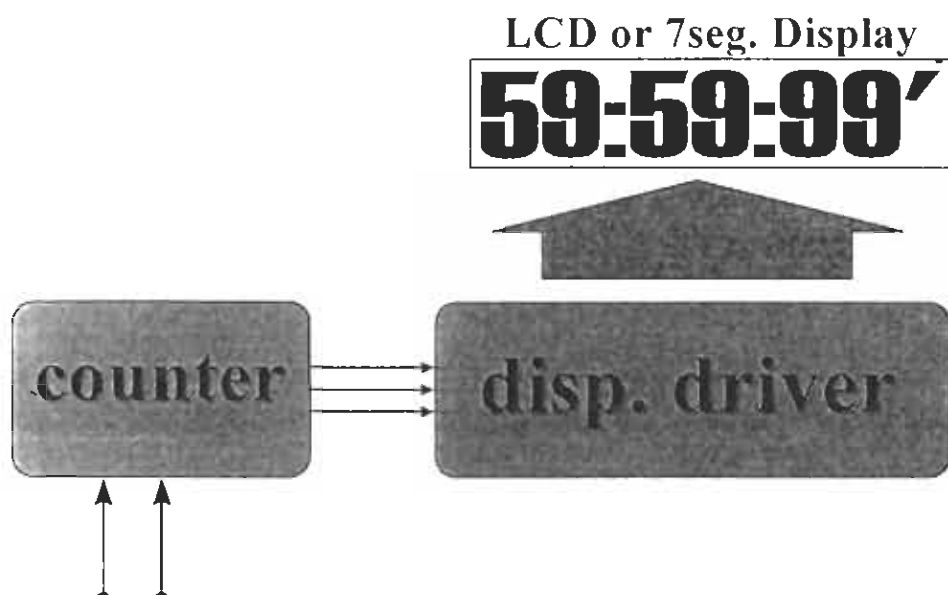
Χρησιμοποιήσαμε τα Tanner Tools για την σχεδίαση ενός χρονομέτρου (stop watch) με έξοδο σε display 6 ψηφίων για την ένδειξη λεπτών, δευτερολέπτων και εκατοστών δευτερολέπτων (59':59":99). Οι είσοδοι ελέγχου επιλέχτηκαν να είναι τρεις (3). Ενώ οι ακροδέκτες εξόδου που χρειάστηκαν για την έξοδο των αποτελεσμάτων μέτρησης είναι επίσης τρεις (3), όπως φαίνεται στο σχ. 4.2. Αναλυτικότερα οι είσοδοι και οι εξοδοι του συστήματος μας είναι:

Είσοδοι:

- start-pause-continue-stop: για εκκίνηση, αναμονή & συνέχιση και τερματισμό της μέτρησης.
- reset: για τον μηδενισμό της μέτρησης και
- είσοδος ρολογιού clock in στα 10 KHz

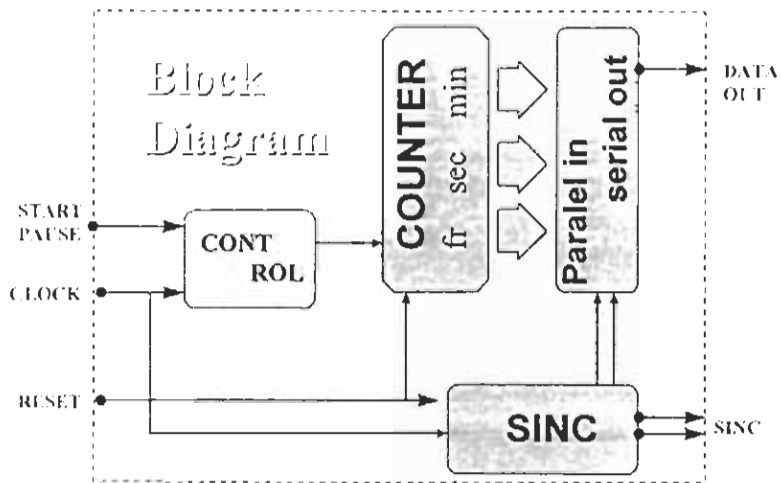
Έξοδοι:

- Data out: έξοδος των δεδομένων σειριακής μετάδοσης
- Clk out: clock χρονισμού των δεδομένων εξόδου
- disp: ολοκλήρωσης μεταφοράς δεδομένων



ΣΧΗΜΑ 4.1: Περιγραφή λειτουργίας του stop watch.

Η έξοδος των ενδείξεων του stop watch επιλέχτηκε να γίνεται με σειριακό τρόπο, ώστε να μειωθούν στο ελάχιστο οι ακροδέκτες του IC, και αντίστοιχα να μειωθεί το κόστος στο ενδεχόμενο κατασκευής του. Επιπλέον, με αυτή την μορφή, το συγκεκριμένο κύκλωμα μπορεί να αποτελέσει τμήμα κάποιας άλλης εφαρμογής όπου οι μετρήσεις του stop watch θα εισάγονται με σειριακό τρόπο και θα μπορούν να επεξεργαστούν.



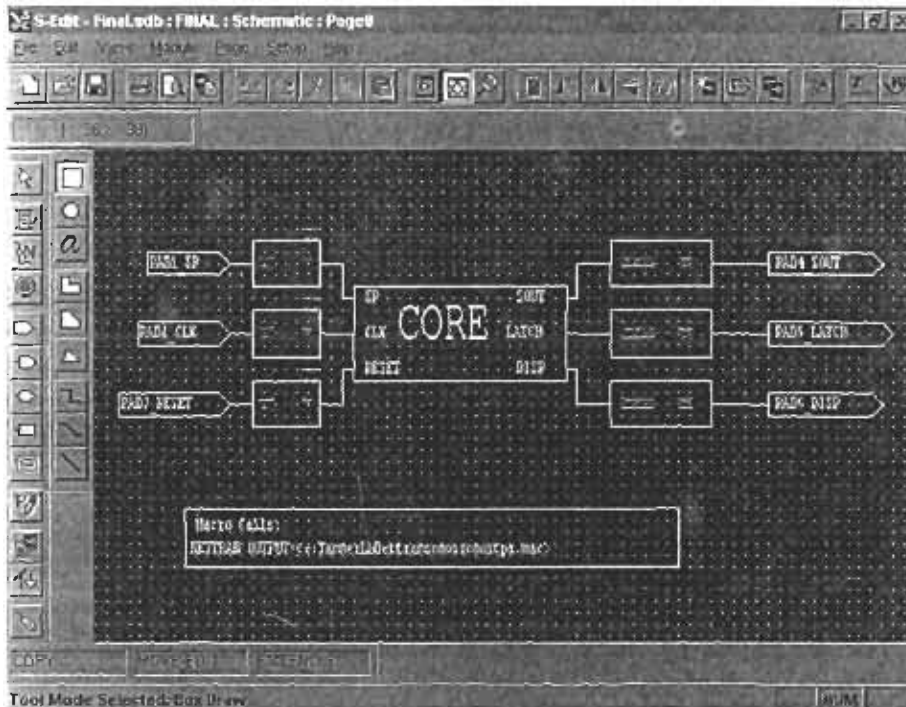
ΣΧΗΜΑ 4.2. Η αρχιτεκτονική του stop watch.

Η απεικόνιση των αποτελεσμάτων γίνεται μέσω ενός display driver σε ενδείκτη 7 segment ή, εάν απαιτείται χαμηλή κατανάλωση, σε ενδείκτη LCD. Πρέπει να σημειωθεί ότι είναι εφικτή η ενσωμάτωση του driver μέσα στο IC αλλά αυτό θα αύξανε το κόστος κατασκευής.

4.2 Η υλοποίηση της σχεδίασης

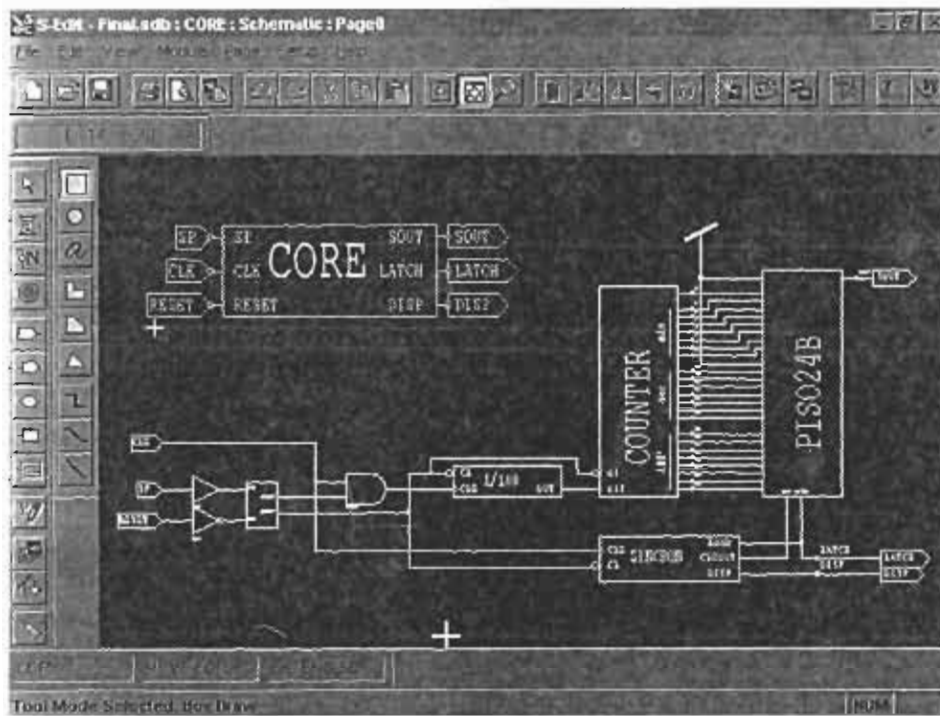
4.2.1 Σχηματική σχεδίαση

Στο S-Edit σχεδιάσαμε τον μετρητή χρησιμοποιώντας στοιχεία της βιβλιοθήκης SchemLib η οποία μας δίνει την δυνατότητα να χρησιμοποιήσουμε στοιχεία πολύπλοκης μορφής, όπως μετρητές, καταχωρητές κλπ. Το κύκλωμα που προέκυψε είναι αυτό του Σχ. 4.3 .



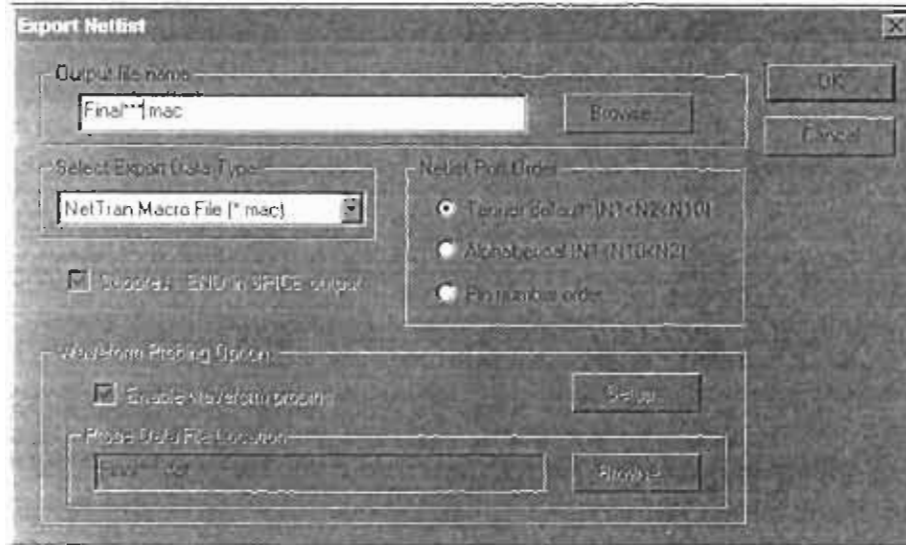
ΣΧΗΜΑ 4.3: Σχηματική περιγραφή του stop watch.

Στο σχ. 4.3 το στοιχείο (module) core είναι το κύκλωμα του μετρητή σε συμβολική μορφή. Το κύκλωμα αυτό φαίνεται αναλυτικότερα στο σχ. 4.4. Από το τελικό σχέδιο, όπως απεικονίζεται στο Σχ. 4.3, μπορούμε εξάγουμε μόνο netlist που θα επεξεργαστεί το NetTran, δηλαδή αρχεία τύπου .mac και .wir, επειδή χρησιμοποιήσαμε TIB στοιχεία. Η διαδικασία αυτή έγινε τρεις φορές, για να πάρουμε τρία διαφορετικά mac αρχεία



ΣΧΗΜΑ 4.4: Σχηματική μορφή του module core του μετρητή.

Με την κατάλληλη διαμόρφωση του module <macrocalls>, πρώτα εισάγοντας το αρχείο scrossim.mac δημιουργήσαμε το Finalsim.mac, μετά με το scmostpr.mac δημιουργήσαμε το Finaltpr.mac και τέλος με το scrosspc.mac δημιουργήσαμε το Finalspc.mac. Αυτά τα αρχεία μέσα από το NetTran θα μετασχηματιστούν σε κομβικούς καταλόγους που μπορούν να χρησιμοποιηθούν από το GateSim, το SPR και το LVS αντίστοιχα.



ΣΧΗΜΑ 4.5: Παράθυρο εξαγωγής κομβικών καταλόγων από το Sedit.

4.2.2. Μετατροπές στο περιβάλλον του NetTran.

A. Μετατροπή για εξομίωση στο GateSim.

Στο dos περιβάλλον του NetTran πληκτρολογήσαμε την παρακάτω εντολή:

```
C:\NETTRAN>NETTRAN -M C:\222\FINALSIM -Q
```

και εμφανίστηκαν στην οθόνη μας τα παρακάτω:

```
NetTran - Mapper and Netlist Translator
PC Ver 2.51/386 , Serial No. 04293
Copyright (c) 1988-97 Tanner Research, Inc.
```

```
Enter .WIR file name: C:\222\FINALSIM
Enter .NET file name: C:\222\FINALSIM
Reading Macro File(s):
  <<C:\222\FINALSIM.mac>>
  <<C:\TANNERLB\NETTRAN\SCMOS\SCMOSSIM.MAC>>
  <<C:\TANNERLB\NETTRAN\SCMOS\SCMS2SIM.MAC>>
  <<C:\TANNERLB\NETTRAN\SCMOS\SCH2SCMS.MAC>>
  <<C:\TANNERLB\NETTRAN\SCH2TIB.MAC>>
```

```
Reading Wirelist File
  <<C:\222\FINALSIM.wir>>
```

```
Outputting network file C:\222\FINALSIM.net
FINAL = FINAL
```

Το αρχείο finalsim.net που πήραμε είναι αποθηκευμένο στη θέση που του καθορίσαμε και είναι έτοιμο για χρήση από το GateSim.

B. Μετατροπή για αυτόματη τοποθέτηση με L-Edit\SPR.

Στο περιβάλλον του NetTran πληκτρολογήσαμε την παρακάτω εντολή:

```
C:\NETTRAN>NETTRAN -f tpr -n C:\222\Finaltpr -q
```

και εμφανίστηκαν στην οθόνη μας τα παρακάτω:

```
NetTran - Mapper and Netlist Translator
PC Ver 2.51/386 , Serial No. 04293
Copyright (c) 1988-97 Tanner Research, Inc.
```

```
Enter .WIR file name: C:\222\Finaltpr
Enter .NET file name: C:\222\Finaltpr
Reading Macro File(s):
  <<C:\222\Finaltpr.mac>>
  <<C:\TANNERLB\NETTRAN\SCMOS\SCMOSTPR.MAC>>
  <<C:\TANNERLB\NETTRAN\SCMOS\SCMS2TPR.MAC>>
  <<C:\TANNERLB\NETTRAN\SCMOS\SCH2SCMS.MAC>>
  <<C:\TANNERLB\NETTRAN\SCH2TIB.MAC>>
```

```
Reading Wirelist File
  <<C:\222\Finaltpr.wir>>
  <cellCnt= 711.5>
```

```
Outputting network file C:\222\Finaltpr.tpr
FINAL = FINAL
Total number of cells = 711.5
```

Αποτέλεσμα αυτής της διαδικασίας είναι η δημιουργία του finaltr.tpr.

Γ. Μετατροπή για σύγκριση με LVS.

Στο NetTran πληκτρολογήσαμε την παρακάτω εντολή:

```
C:\NETTRAN>NETTRAN -f spice -n C:\222\Finalspc -Q
```

και εμφανίστηκαν στην οθόνη μας τα παρακάτω:

```
NetTran - Mapper and Netlist Translator
PC Ver 2.51/386 , Serial No. 04293
Copyright (c) 1988-97 Tanner Research, Inc.

Enter .WIR file name: C:\222\Finalspc
Enter .NET file name: C:\222\Finalspc
Reading Macro File(s):
  <<C:\222\Finalspc.mac>>
  <<C:\TANNERLB\NETTRAN\SCMOS\SCMOSSPC.MAC>>
  <<C:\TANNERLB\NETTRAN\SCMOS\SCMS2SPC.MAC>>
  <<C:\TANNERLB\NETTRAN\SCMOS\DSCEESPC.MAC>>
  <<C:\TANNERLB\NETTRAN\SCMOS\D20EESPC.MAC>>
  <<C:\TANNERLB\NETTRAN\SCMOS\SCH2SCMS.MAC>>
  <<C:\TANNERLB\NETTRAN\SCH2TIB.MAC>>

Reading Wirelist File
  <<C:\222\Finalspc.wir>>

Outputting network file C:\222\Finalspc.net
FINAL - FINAL

Formatting file: C:\222\Finalspc.spc
```

Το αρχείο finalspc.spc που πήραμε θα χρησιμοποιηθεί στο LVS.

4.3. Εξομοίωση σε GateSim

Απαραίτητη προϋπόθεση για την εξομοίωση του counter ήταν η δημιουργία ενός αρχείου τύπου .vec που να περιέχει τα σήματα που

εφαρμόζονται στις εισόδους του και ένα άλλο αρχείο τύπου .sim αρχείο με τις εντολές εξομοίωσης.

Αρχείο: Finalsim.vec

```
GND clk 0 0
VDD clk 0 1
FINAL<PAD2> CLK clk 0 0 500 1 1000 0 .REP 0
FINAL<PAD1> SP clk 0 0 3020000 1 6020000 0 .REP 0
FINAL<PAD3> RESET CLK 0 1 1000000 0 5000000000000 1 .REP 0
```

Αρχείο: Finalsim.sim

```
S File: FINALsim.SIM
S This simulates the .NET file, c:\222\FINALsim.NET, coming from
S the S-Edit schematic c:\222\FINAL.TDB.

Netfile c:\222\FINALsim.NET
Pattfile c:\222\FINAL.VEC
Viewvector ON
DP 1 1 1

.HEX TOP1 = FINAL<CORE_1<1 FINAL<CORE_1<2 FINAL<CORE_1<3
.HEX TOP2 = FINAL<CORE_1<4 FINAL<CORE_1<5 FINAL<CORE_1<6
FINAL<CORE_1<7
.HEX TOP3 = FINAL<CORE_1<11 FINAL<CORE_1<12 FINAL<CORE_1<13
.HEX TOP4 = FINAL<CORE_1<14 FINAL<CORE_1<15 FINAL<CORE_1<16
FINAL<CORE_1<17
.HEX TOP5 = FINAL<CORE_1<21 FINAL<CORE_1<22 FINAL<CORE_1<23
FINAL<CORE_1<24
.HEX TOP6 = FINAL<CORE_1<25 FINAL<CORE_1<26 FINAL<CORE_1<27
FINAL<CORE_1<28
.HEX TOP7 = GND GND GND FINAL<PAD4_SOUT

lib FINAL<PAD2> CLK FINAL<PAD1> SP FINAL<PAD3> RESET
- TOP1 TOP2 TOP3 TOP4 TOP5 TOP6 TOP7
< FINAL<PAD4_SOUT FINAL<PAD5> LATCH FINAL<PAD6_DISP
MO ON
HO ON
WA on
RE c:\222\FINALsim.OUT
Simulate 0 40000000000
```


και πληκτρολογούμε σε περιβάλλον Dos, μέσα στο GateSim την εντολή

>Gatesim c:\222\Finalsim.sim

Τα αποτελέσμα της εξομοίωσης τοποθετούνται στο αρχείο Finalsim.out

```

Αρχείο Finalsim.out

S GateSim Ver 2.01
S 16:08 10/20/97
S NETWORK file = C:\222\FINALSIM.NET
S PATTERN file = D:\PTIXIAKI\FINAL\07\FINALSIM.VEC
S
S WARNING: Undefined table node GND
S WARNING: Undefined table node GND
S WARNING: Undefined table node GND
STAB FINAL<PAD2_CLK FINAL<PAD1_SP FINAL<PAD3_RESET
S TOP1 [ FINAL<CORE_1<1 FINAL<CORE_1<2 FINAL<CORE_1<3 ; ]
S TOP2 [ FINAL<CORE_1<4 FINAL<CORE_1<5 FINAL<CORE_1<6
FINAL<CORE_1<7]
S TOP3 [ FINAL<CORE_1<11 FINAL<CORE_1<12 FINAL<CORE_1<13 ; ]
S TOP4 [ FINAL<CORE_1<14 FINAL<CORE_1<15 FINAL<CORE_1<16
FINAL<CORE_1<17]
S TOP5 [ FINAL<CORE_1<21 FINAL<CORE_1<22 FINAL<CORE_1<23
FINAL<CORE_1<24]
S TOP6 [ FINAL<CORE_1<25 FINAL<CORE_1<26 FINAL<CORE_1<27
FINAL<CORE_1<28]
S TOP7 [ GND GND GND FINAL<PAD4_SOUT ]
FINAL<PAD4_SOUT FINAL<PAD5_LATCH FINAL<PAD6_DISP
S Table type: _____
FFFTTTTTTTFFF
HHOOOOOOOHH
NNNPPPPPPNNN
AAA1234567AAA
LLL LLL
<<< <<<
PPP PPP
AAA AAA
DDD DDD
213 456

CSR SLD
LPE OAI

```

Κεφάλαιο 4^ο

K	S	UTS
E		TCP
T		H

```

0 001XXXXXX?XXX
132 001?????XXX
133 0010?0???XXX
134 00100000?XXX
157 00100000?XX0
303 00100000?X00
500 10100000?X00
1000 00100000?X00
1500 10100000?X00
2000 00100000?X00
2500 10100000?X00
3000 00100000?X00
3500 10100000?X00
4000 00100000?X00
4500 10100000?X00
5000 00100000?X00
5500 10100000?X00

```

```

.....
3119500 11000000?X00
3119794 11000000?X00
3120000 01000000?X00
3120500 11000000?X00
3121000 01000000?X00
3121500 11000000?X00

```

```

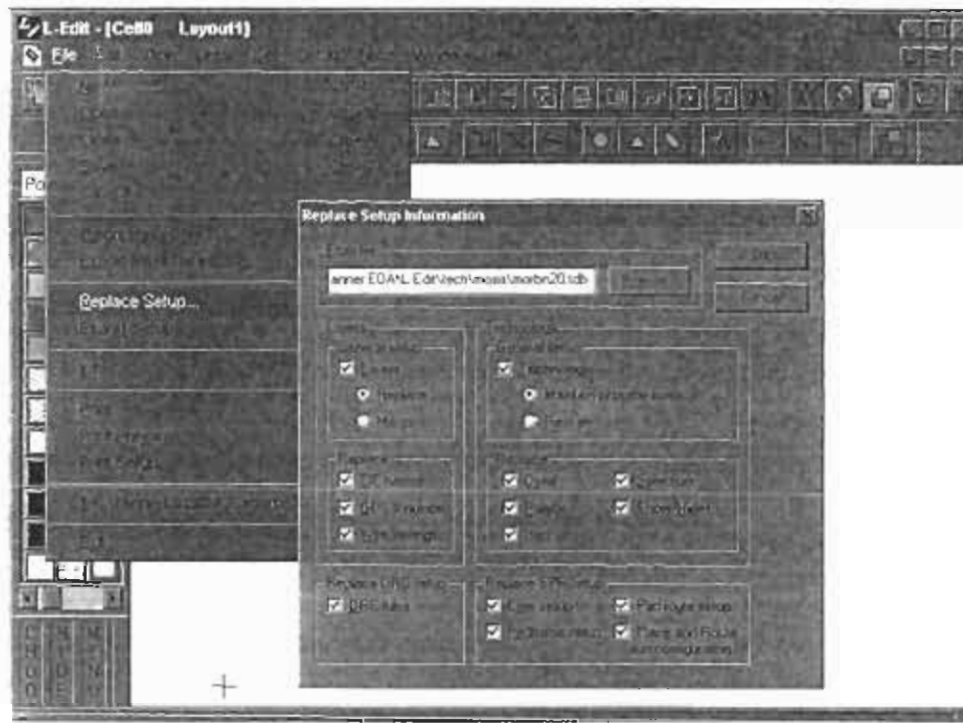
.....
6121500 1000000311100
6121601 1000000311101
6122000 0000000311101
6122500 1000000311101
6122602 1000000311100
6123000 0000000311100
6123500 1000000311100

```

4.4. ΕΡΓΑΣΙΕΣ ΣΤΟ L-Edit .

A. Κατασκευή layout με SPR

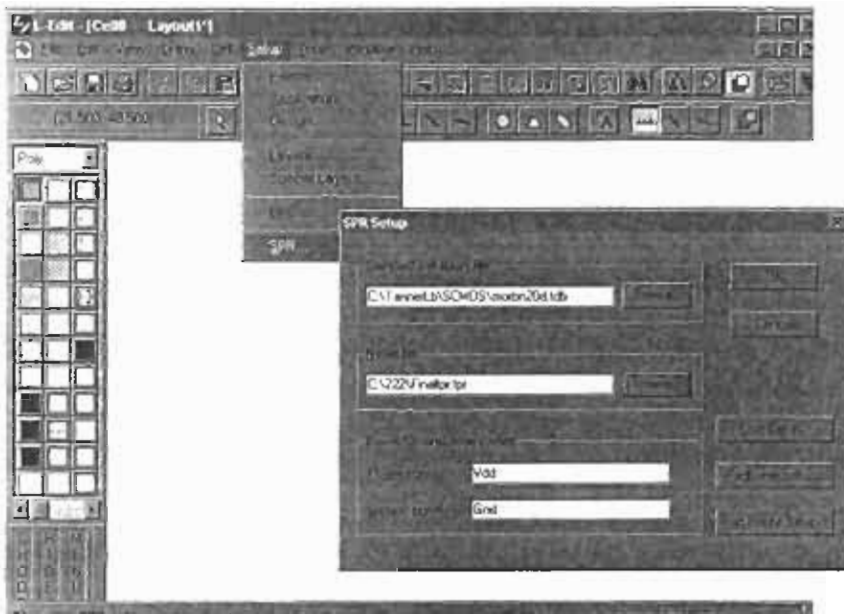
Το πρώτο βήμα για την πραγματοποίηση του SPR είναι η αντικατάσταση των setups με αυτά της τεχνολογίας που πρόκειται να κατασκευαστεί το IC. Τα βήματα που ακολουθήθηκαν φαίνονται στο παρακάτω σχήμα.



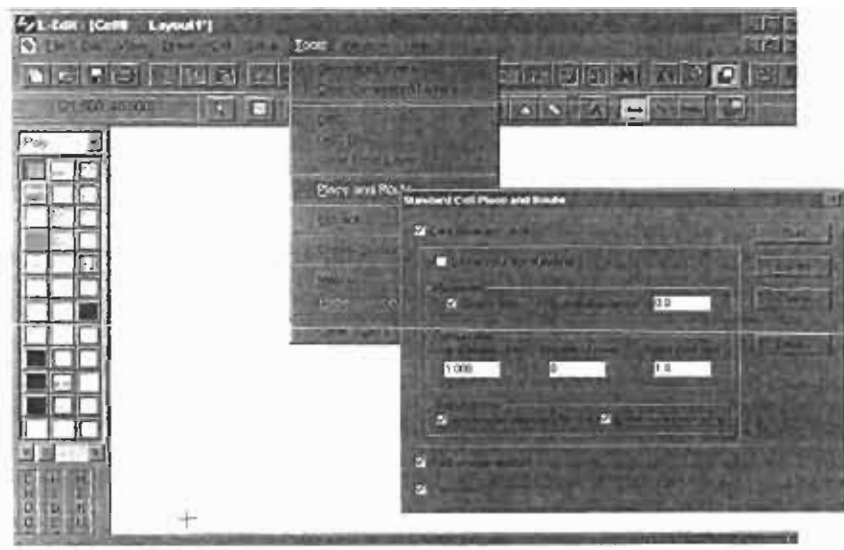
ΣΧΗΜΑ 4.6: Παράθυρο L-Edit.

Επόμενη κίνηση είναι να προσδιορίσουμε την θέση της βιβλιοθήκης των Standard Cells που θα χρησιμοποιήσουμε και του αρχείου Finaltpr.tpr που δημιουργήσαμε προηγουμένως με το NetTran. Από το

μενού tools επιλέγουμε την διαδικασία Place & Route, κάνουμε τυχόν διορθώσεις των Setups και πατάμε Run (Σχ. 4.7 και Σχ.4.8).

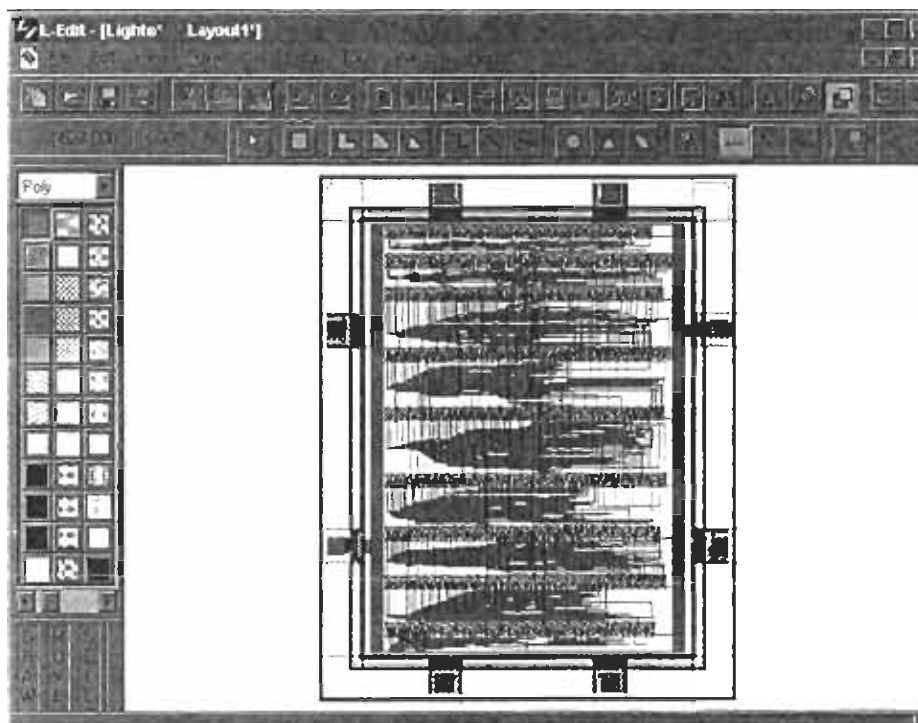


ΣΧΗΜΑ 4.7: Παράθυρο δεδομένων SPR.



ΣΧΗΜΑ 4.8: Παράμετροι SPR.

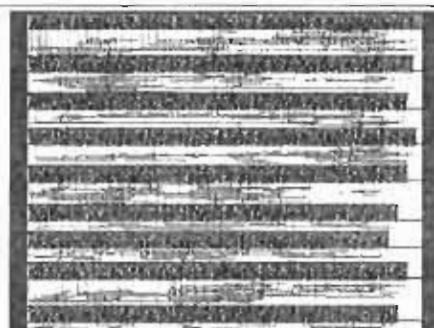
Σε ένα σύντομο χρονικό διάστημα, εμφανίστηκε στην οθόνη μας το φυσικό σχέδιο του Counter, το οποίο φαίνεται στο σχ.4.9. Το layout αυτό έγινε με optimizing factor 0. Πραγματοποιήσαμε ένα ακόμα SPR με optimizing factor 10. Η διαδικασία του SPR διάρκησε πολύ περισσότερο αλλά όπως παρατηρούμε και στο σχ.4.10 επιτεύχθηκε καλύτερη τοποθέτηση και ελαττώθηκε ο χώρος του ενεργού πυριτίου.



ΣΧΗΜΑ 4.9: Τελικό layout του stop watch.



Factor = 0

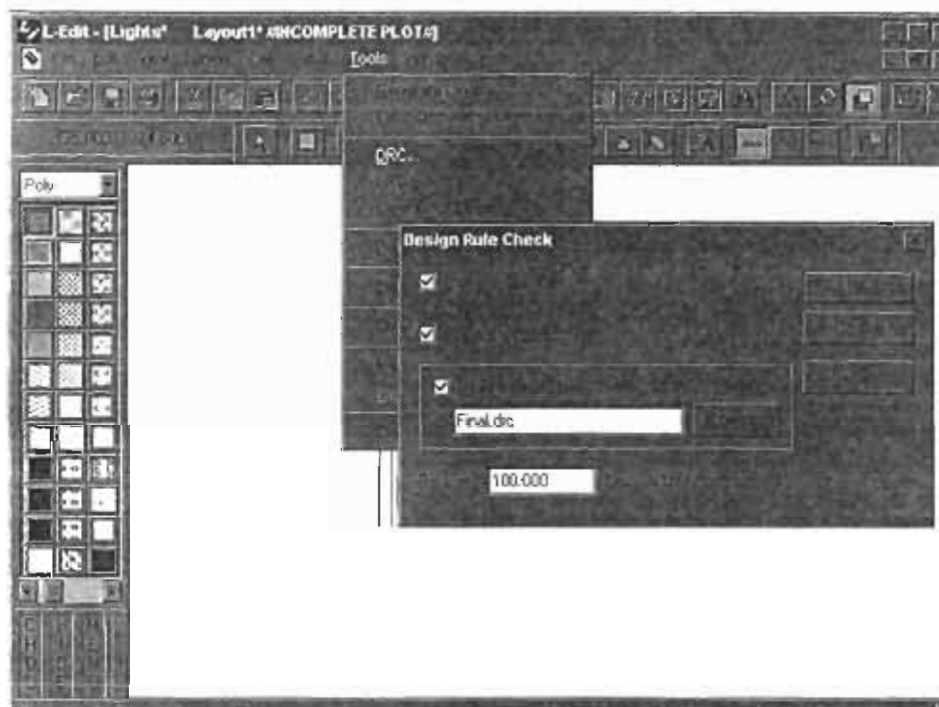


Factor = 10

ΣΧΗΜΑ 4.10: Layout του Core του σχ. 4.9 με διαφορετικά factor.

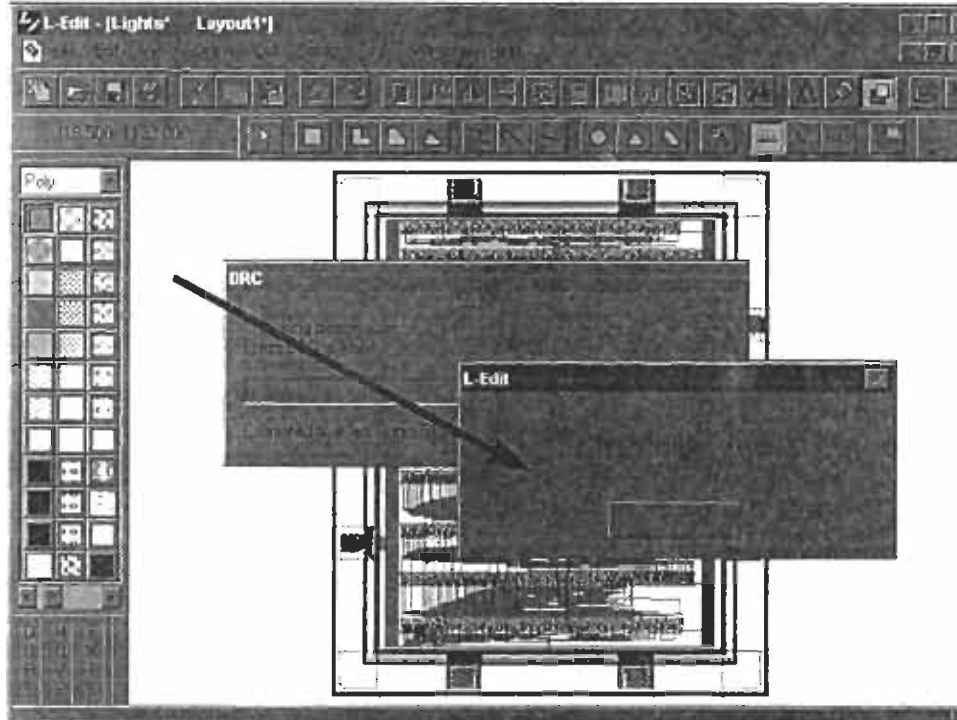
B. DRC

Πριν εξάγουμε το Layout που φτιάξαμε για κατασκευή, πρέπει να το ελέγξουμε τυχών παραβιάσεις των κανόνων σχεδίασης που έχει ορίσει ο κατασκευαστής. Ο έλεγχος αυτός έγινε με την διαδικασία που περιγράφεται στα παράθυρα του Σχ. 4.11.



1^ο παράθυρο DRC

ΣΧΗΜΑ 4.11.α: Καθορισμός παραμέτρων του DRC.

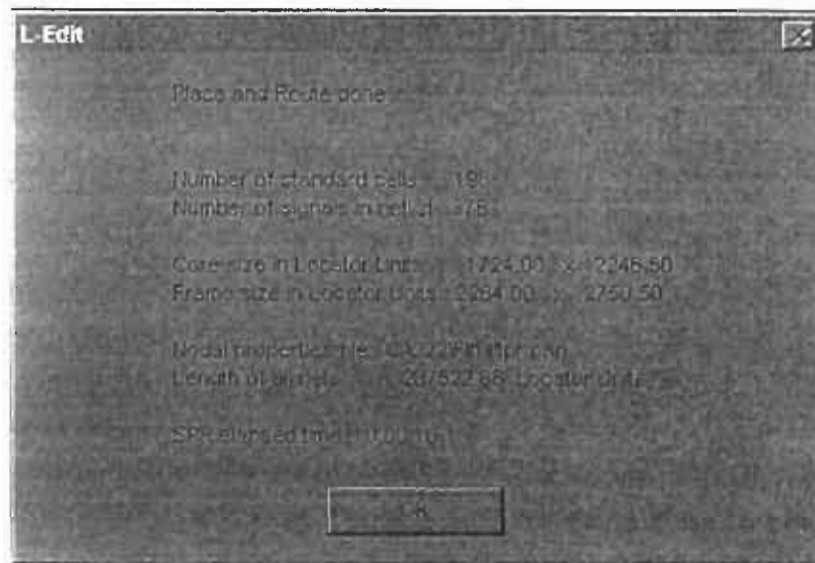
2^ο παράθυρο DRC**ΣΧΗΜΑ 4.11.β:** Έναρξη του DRC.

Από τον έλεγχο διαπιστώθηκε ότι δεν υπάρχει παραβίαση κάποιου κανόνα στην σχεδίαση οπότε μπορούμε να προχωρήσουμε σε εξαγωγή του σχεδίου σε ένα αρχείο HDL τύπου CIF ή GDSII για την κατασκευή των μασκών.

Γ. Back annotation

Πριν προχωρήσουμε στην εξαγωγή του αρχείου για την κατασκευή του ολοκληρωμένου, μπορούμε να κάνουμε μερικούς επιπλέον ελέγχους για να εξασφαλίσουμε την καλή λειτουργία του κυκλώματος μας. Μέσω της διαδικασίας του SPR προκύπτει ένα αρχείο τύπου .cap, το οποίο περιέχει μια λίστα με τις χωρητικότητες των κόμβων του κυκλώματος και που το χρησιμοποιούμε για να κάνουμε back annotation

του κυκλώματος μας. Το back annotation είναι μια από τις δυνατότητες που μας παρέχει το πρόγραμμα, κυρίως σαν έναν ακόμα τρόπο προφύλαξης της σχεδίασης μας.



ΣΧΗΜΑ 4.12: Δημιουργία του αρχείου Finaltpr.cap για Backannotation

Για να κάνουμε το back annotation, που βασικά πρόκειται για μια ακόμα εξομοίωση, επαναλαμβάνουμε την διαδικασία του NetTran για εξομοίωση με την χρήση του flag -c και του .cap αρχείου δηλαδή εκτελούμε:

Nettran -m c:\222\finalsim.mac -c c:\222\finaltpr.cap

και πραγματοποιούμε για μία ακόμη φορά την εξομοίωση στο GateSim για τυχόν εμφάνιση σφαλμάτων λόγω των χωρητικότητας που εμφανίζονται στους κόμβους.

Ένας ακόμα έλεγχος που παρέχει το L-Edit είναι αυτός του LVS. Γίνετε αυτόματα, με τρόπο παρόμοιο με το SPR, μόνη προϋπόθεση είναι η ύπαρξη των αρχείων τύπου .sp και .spc.

ΒΙΒΛΙΟΓΡΑΦΙΑ

**1. VLSI DESIGN TECHNIQUES FOR ANALOG AND DIGITAL
CIRCUITS**

R.L. GEIGER, P.E. ALLEN, N.R. STRADER
MCGROW-HILL INTERNATIONAL EDITIONS

**2. ΣΧΕΔΙΑΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ CMOS
VLSI**

N. H. WESTE, K. ESHRAGHIAN
ΜΕΤΑΦΡΑΣΗ- ΕΠΙΜΕΛΕΙΑ : Κ. ΠΕΚΜΕΣΤΖΗΣ, Δ.
ΣΟΥΝΤΡΗΣ,, Κ. ΓΚΟΥΤΗΣ
ΕΚΔΟΣΕΙΣ ΠΑΠΑΣΩΤΗΡΙΟΥ

3. TANNER TOOLS MANUALS

Τ.Ε.Ι. ΠΑΤΡΑΣ
ΒΙΒΛΙΟΘΗΚΗ